



JZ8P8801

8 位 OTP 微控制器

用户数据手册

版本号 V1.0

2016 年 3 月



修改记录说明

版本号	修改说明	备注
V1.0	完成初稿	



目录

1	电路综述.....	7
1.1	概述.....	7
1.2	主要特征、特性.....	7
2	引脚说明.....	8
2.1	引脚排列.....	8
2.2	引脚说明.....	10
3	功能框图.....	13
4	存储器结构.....	14
4.1	程序存储器结构.....	14
4.2	数据存储区结构.....	14
4.3	BANK0 页面存储器详解.....	16
4.3.1	RIND (间接地址寄存器) : BANK0 R0.....	16
4.3.2	RTC (TCC 计数器) : BANK0 R1.....	16
4.3.3	PC (程序计数器) 与堆栈 : BANK0 R2.....	16
4.3.4	RCFG (状态寄存器) : BANK0 R3.....	17
4.3.5	RAS (RAM 选择寄存器) : BANK0 R4.....	18
4.3.6	RABS (RAM BANK 选择寄存器) : BANK0 R5.....	19
4.3.7	RPS (ROM 页面选择寄存器) : BANK0 R6.....	19
4.3.8	P0 (端口 P0 数据寄存器) : BANK0 R7.....	20
4.3.9	P1 (端口 P1 数据寄存器) : BANK0 R8.....	20
4.3.10	P2 (端口 P2 数据寄存器) : BANK0 R9.....	20
4.3.11	P3 (端口 P3 数据寄存器) : BANK0 RA.....	20
4.3.12	P4 (端口 P4 数据寄存器) : BANK0 RB.....	20
4.3.13	SCC (系统时钟控制寄存器) : BANK0 RC.....	20
4.3.14	TWC (TCC/WDT 控制寄存器) : BANK0 RD.....	21
4.3.15	RIEN (中断使能控制寄存器) : BANK0 RE.....	22
4.4	BANK1 页面存储器详解.....	23
4.4.1	LCD CR (LCD 控制寄存器) : BANK1 R5.....	23
4.4.2	LCD AR (LCD 地址寄存器) : BANK1 R6.....	24
4.4.3	LCD BUF (LCD 数据缓冲器) : BANK1 R7.....	24
4.4.4	LCD VCR (LCD 电压控制寄存器) : BANK1 R8.....	25
4.4.5	COM CTRL (LCD COM 引脚控制寄存器) : BANK1 R9.....	25
4.4.6	SEG CTRL0 (LCD SEG 引脚控制寄存器 0) : BANK1 RA.....	25
4.4.7	SEG CTRL1 (LCD SEG 引脚控制寄存器 1) : BANK1 RB.....	25
4.4.8	SEG CTRL2 (LCD SEG 引脚控制寄存器 2) : BANK1 RC.....	26
4.4.9	EIEN (外部中断使能控制寄存器) : BANK1 RE.....	26
4.4.10	EIFG (外部中断状态寄存器) : BANK1 RF.....	26
4.5	BANK2 页面存储器详解.....	27
4.5.1	TM1 C (定时器1 Timer1 控制寄存器) : BANK2 R5.....	27
4.5.2	TSR (定时器 1 Timer1 状态寄存器) : BANK2 R6.....	28
4.5.3	TM1 PD (定时器 1 Timer1 周期系数寄存器) : BANK2 R7.....	28
4.5.4	TM1 DT (定时器 1 Timer1 占空比系数寄存器) : BANK2 R8.....	29



4.5.5	TM2C (定时器 2 Timer2 控制寄存器) : BANK2 R9	29
4.5.6	TM2PD (定时器 2 Timer2 周期系数寄存器) : BANK2 RA	29
4.5.7	TM2DT (定时器 2 Timer2 占空比系数寄存器) : BANK2 RB	29
4.5.8	SPIS (SPI 状态寄存器) : BANK2 RC	30
4.5.9	SPIC (SPI 控制寄存器) : BANK2 RD	30
4.5.10	SPIRBUF (SPI 读数据缓存器) : BANK2 RE	31
4.5.10	SPIWBUF (SPI 写数据缓存器) : BANK2 RF	31
4.6	BANK3 页面存储器详解	31
4.6.1	UARTC1 (UART 控制寄存器) : BANK3 R5	31
4.6.2	UARTS (UART 状态寄存器) : BANK3 R6	32
4.6.3	UARTRD (UART 接收数据缓存器) : BANK3 R7	32
4.6.4	UARTTD (UART 发送数据缓存器) : BANK3 R8	32
4.6.5	ADCC (ADC 控制寄存器) : BANK3 R9	33
4.6.6	ADICH (ADC 输入控制高字节寄存器) : BANK3 RA	33
4.6.7	ADICL (ADC 输入控制低字节寄存器) : BANK3 RB	34
4.6.8	ADDH (ADC 高 8 位数据缓存器) : BANK3 RC	34
4.6.9	ADDL (ADC 低 4 位数据缓存器) : BANK3 RD	34
4.6.10	EIESH (外部中断沿选择高字节控制寄存器) : BANK3 RE	34
4.6.11	EIESL (外部中断沿选择低字节控制寄存器) : BANK3 RF	34
4.7	BANK4 页面存储器详解	35
4.7.1	LEDPC (LED 引脚驱动控制寄存器) : BANK4 R5	35
4.7.2	WBC (秒表定时器和蜂鸣器控制寄存器) : BANK4 R6	35
4.7.3	P0CR (P0 控制寄存器) : BANK4 R7	36
4.7.4	P1CR (P1 控制寄存器) : BANK4 R8	36
4.7.5	P2CR (P2 控制寄存器) : BANK4 R9	36
4.7.6	P3CR (P3 控制寄存器) : BANK4 RA	36
4.7.7	P4CR (P4 控制寄存器) : BANK4 RB	36
4.7.8	P5CR (P5 控制寄存器) : BANK4 RC	36
4.7.9	TBRDL (查表地址低字节寄存器) : BANK4 RD	37
4.7.10	TBRDH (查表地址高字节寄存器) : BANK4 RE	37
4.7.11	WKC (唤醒控制寄存器) : BANK4 RF	37
4.8	BANK5 页面存储器详解	37
4.8.1	UARTC2 (UART 控制寄存器 2) : BANK5 R6	37
4.8.2	PHCR0 (P0 上拉控制寄存器) : BANK5 R7	37
4.8.3	PHCR1 (P1 上拉控制寄存器) : BANK5 R8	38
4.8.4	PHCR2 (P2 上拉控制寄存器) : BANK5 R9	38
4.8.5	PHCR3 (P3 上拉控制寄存器) : BANK5 RA	38
4.8.6	PHCR4 (P4 上拉控制寄存器) : BANK5 RB	38
4.8.7	PHCR5 (P5 上拉控制寄存器) : BANK5 RC	38
4.9	BANK6 页面存储器详解	38
4.9.1	ODCR0 (P0 开漏控制寄存器) : BANK6 R7	38
4.9.2	ODCR1 (P1 开漏控制寄存器) : BANK6 R8	39
4.9.3	ODCR2 (P2 开漏控制寄存器) : BANK6 R9	39
4.9.4	ODCR3 (P3 开漏控制寄存器) : BANK6 RA	39



4.9.5	ODCR4 (P4 开漏控制寄存器) : BANK6 RB	39
4.9.6	P5 (P5 数据寄存器) : BANK6 RC	39
5	JZ8P8801 主要功能模块	40
5.1	I/O 功能	40
5.1.1	P0 口概述	40
5.1.2	P1 口概述	40
5.1.3	P2 口概述	40
5.1.4	P3 口概述	40
5.1.5	P4 口概述	40
5.1.6	P5 口概述	40
5.2	TCC/WDT 和预分频器	40
5.2.1	TCC 和预分频器	40
5.2.2	WDT 和预分频器	40
5.3	Watch Timer 及 Buzzer	41
5.3.1	Watch Timer 和预分频器	41
5.3.2	Buzzer 和预分频器	41
5.4	定时器 1 (Timer1)	41
5.4.1	8 位定时器 1 模式	42
5.4.2	8 位 T1OUT 模式	42
5.4.3	PWM 模式	43
5.4.4	8 位捕获模式	45
5.4.5	16 位模式	45
5.5	定时器 2 (Timer2)	45
5.5.1	8 位定时器 2 模式	46
5.6	LVD (低压检测) 功能	46
5.7	驱动 LED 功能	47
5.8	ADC 功能	47
5.8.1	ADC 功能概述	47
5.8.2	ADC 功能应用说明	47
5.9	UART 功能	49
5.9.1	UART 功能概述	49
5.9.2	UART 功能应用说明	50
5.10	SPI 功能	50
5.10.1	SPI 功能概述	50
5.10.2	SPI 功能应用说明	51
5.11	LCD 驱动功能	51
5.11.1	LCD 功能概述	51
5.11.2	LCD 功能应用说明	54
5.12	睡眠与唤醒	55
5.12.1	睡眠模式唤醒	55
5.12.2	Idle 模式唤醒	55
5.13	中断功能	57
5.14	复位功能	57
5.15	时钟模块	65



5.15.1	晶振.....	66
5.15.2	ERIC 时钟.....	67
5.15.3	PLL 时钟.....	67
5.16	代码选项寄存器.....	68
6	JZ8P8801 性能参数.....	70
6.1	极限参数.....	70
6.2	直流参数 (T=25°C, VDD=5±5%V, GND=0V)	70
6.3	常温下工作电流在各电压下的变化情况.....	71
6.4	常温下睡眠电流随电压变化情况.....	73
6.5	输出高电平驱动电流 (Vdd=5.0V)	75
6.6	输出低电平驱动电流 (Vdd=5.0V)	76
6.7	系统工作电压与工作频率关系.....	77
7	封装信息.....	78
8	附录.....	79



1 电路综述

1.1 概述

JZ8P8801 是一款基于 CMOS 技术的高速度低功耗的 8 位 MCU，内置 8K*16Bit OTP ROM，并提供保护位用以保护指令码。

通用 MCU，主要应用于儿童玩具，灯具，按摩器，中央空调控制，电暖器控制，工业控制等 LCD 显示电子消费类产品。

JZ8P8801 是一个基于 CMOS 技术的 8 微控制器，其核心是一个嵌入式的 8 位 CPU，片内包含 272*8Bit 的 SRAM，8K*16 Bit OTP ROM，45 个输入/输出口、片内看门狗定时器（WDT）、LCD 数据 RAM、ROM、可编程实时时钟计数器、内部/外部中断、省电模式、12 位 A/D 转换器、UART、SPI、8 通道 LED 驱动器、LCD 驱动器，是一个功能丰富的微控制电路。

1.2 主要特征、特性

- 8k×16-bit OTP ROM
- 272×8-bit SRAM
- 8 级堆栈空间
- 可编程 WDT
- 一组 8 位实时时钟/计数器（TCC）
- 两组 8 位计数器（Timer1，Timer2）
- 可编程 buzzer: 0.5KHz, 1KHz, 2KHz, 4KHz
- 12 通道 12 位分辨率的 ADC
- LCD:8*23 dots,bias(1/2,1/3,1/4),duty(static,1/3,1/4,1/8)
- 内置 SPI/UART
- 提供掉电（睡眠模式）
- 工作电压范围：2.3V~5.5V（-40℃~85℃）
- 工作频率范围（2 分频）：
 - ◇ 晶振模式：DC~20MHz, 5V; DC~8MHz, 3V; DC~4MHz, 2.3V;
 - ◇ ERIC 模式：DC~2.2MHz, 2.3V;
 - ◇ PLL 模式：DC~16MHz, 5V;
- 低功耗：
 - ◇ 小于 2.1 mA（4MHz/5V）
 - ◇ 典型 22 μA（32kHz/3V）
 - ◇ 典型 2 μA（睡眠模式，WDT 关闭，LVD 关闭）
- 低压检测：3.9±0.2V、3.3±0.2V、2.7±0.2V、2.4±0.2V @25℃
- 低压复位：3.9V、3.3V、2.6V、1.8V、1.6V @25℃
- 18 个中断源：
 - ◇ 10 个外部中断（SLEEP/IDLE 模式唤醒）
 - ◇ ADC 中断（SLEEP /IDLE 模式唤醒）
 - ◇ TCC 溢出中断（IDLE 模式唤醒）
 - ◇ Watch Timer 中断（IDLE 模式唤醒）
 - ◇ Timer1/2 中断（IDLE 模式唤醒）
 - ◇ 2 个串口（UART、SPI）中断（IDLE 模式唤醒）
 - ◇ LVD 中断（IDLE 模式唤醒）



- 双向 I/O 口：
 - ◇ 43 位可编程控制 pull-high I/OS (P0<7:0>, P1<7:1>, P2<7:0>, P3<7:0>, P4<7:0>, P5<3:0>)
 - ◇ 40 位可编程控制 open-drain I/OS (P0<7:0>, P1<7:1>, P2<7:0>, P3<7:0>, P4<7:0>, P5<4>)
 - ◇ 8 通道 LED 驱动器 (P2<7:0>)
 - ◇ 10 个外部中断口 (P0<7:4>, P4<3:0>, P1<3:2>)
- 指令周期长度选择：2/4/8/16 个振荡时钟
- 封装形式：LQFP48、LQFP44、QFP44、SOP32、SKDIP32

2 引脚说明

2.1 引脚排列

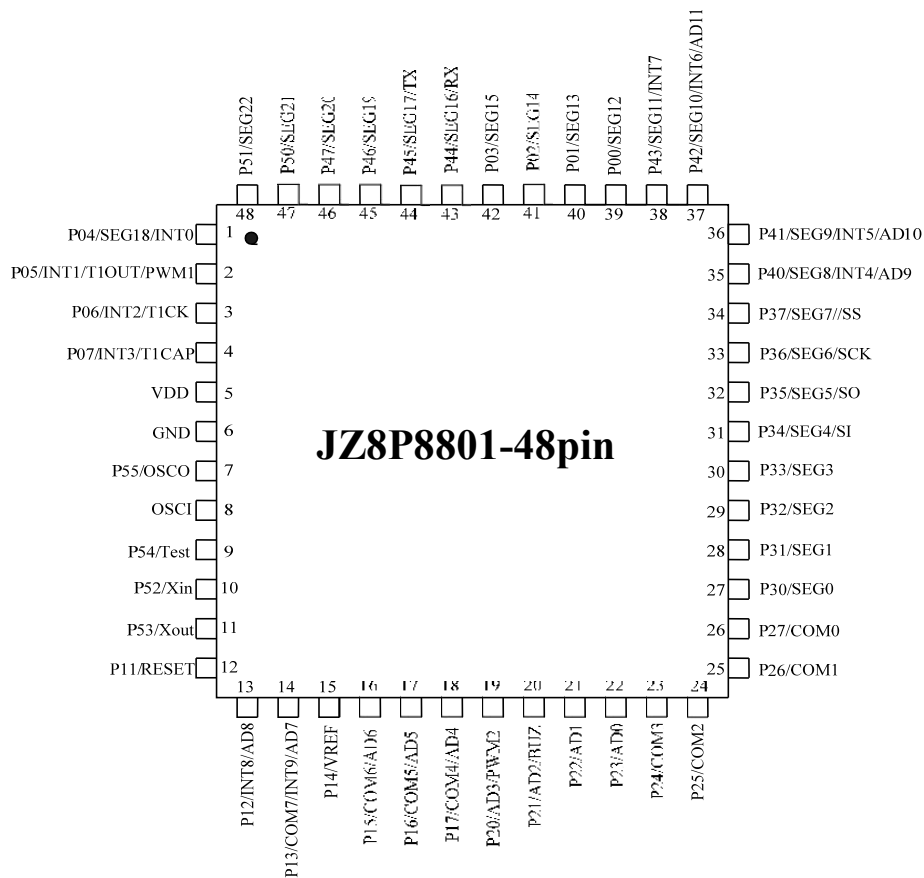


图 2.1.1 LQFP48 引脚排列图

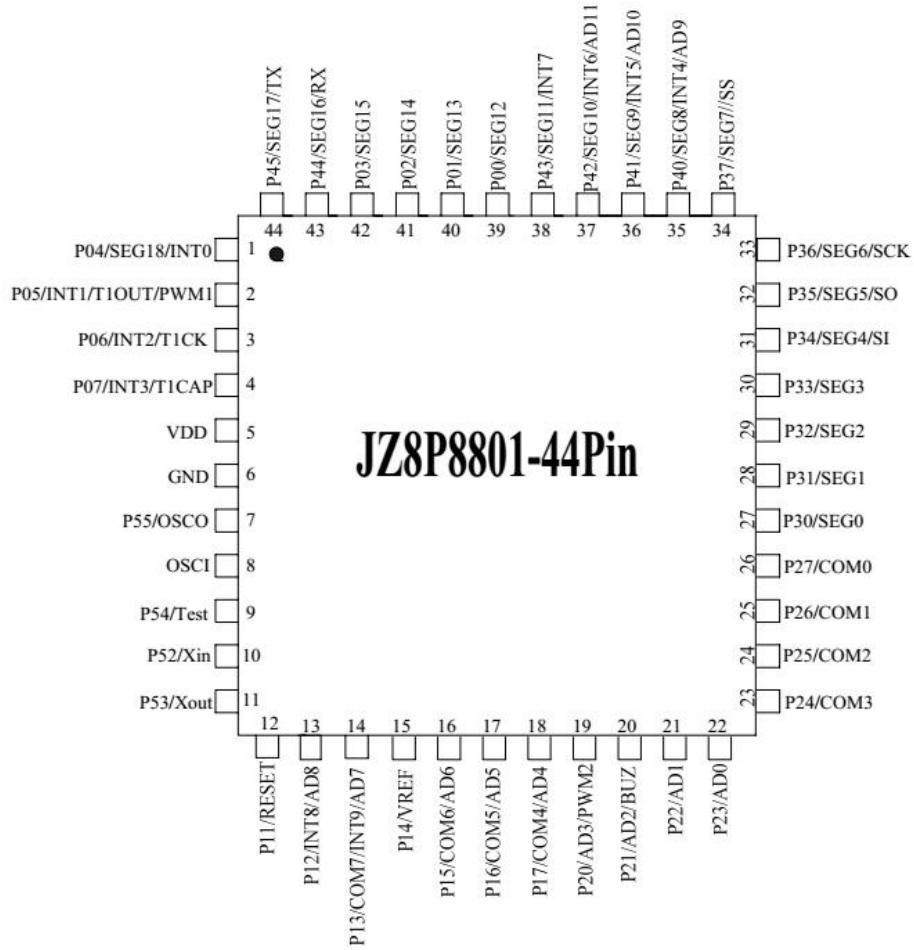


图 2.1.2 LQFP44 引脚排列图

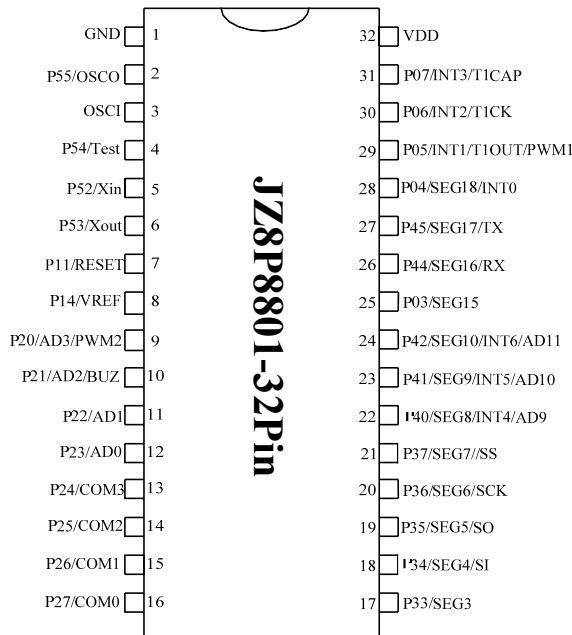


图 2.1.2 SKDIP32/SOP32 引脚排列图



2.2 引脚说明

序号	管脚名	I/O	功能描述	输入/输出电路
1	P00	I/O (上拉)	通用 I/O 口	图 2.2
	SEG12	O (AN)	LCD Segment OUTPUT 12	
2	P01	I/O (上拉)	通用 I/O 口	图 2.2
	SEG13	O (AN)	LCD Segment OUTPUT 13	
3	P02	I/O (上拉)	通用 I/O 口	图 2.2
	SEG14	O (AN)	LCD Segment OUTPUT 14	
4	P03	I/O (上拉)	通用 I/O 口	图 2.2
	SEG15	O (AN)	LCD Segment OUTPUT 15	
5	P04	I/O (上拉)	通用 I/O 口	图 2.2
	SEG18	O (AN)	LCD Segment OUTPUT 18	
	INT0	I(SMT)	外部中断输入端口	
6	P05	I/O (上拉)	通用 I/O 口	图 2.2
	INT1	I(SMT)	外部中断输入端口	
	T1OUT	O	Timer1 T1OUT 模式	
	PWM1	O	Timer1 PWM 模式	
7	P06	I/O (上拉)	通用 I/O 口	图 2.2
	INT2	I(SMT)	外部中断输入端口	
	T1CK	I(SMT)	Timer1 计数模式	
8	P07	I/O (上拉)	通用 I/O 口	图 2.2
	INT3	I(SMT)	外部中断输入端口	
	T1CAP	I(SMT)	Timer1 捕获模式	
9	P11	I/O (上拉)	通用 I/O 口	图 2.2
	/RESET	I(SMT)	外部复位脚	
10	P12	I/O (上拉)	通用 I/O 口	图 2.2
	INT8	I(SMT)	外部中断输入端口	
	AD8	I(AN)	ADC INPUT 8	
11	P13	I/O (上拉)	通用 I/O 口	图 2.2
	COM7	O(AN)	LCD Common 7 output	
	INT9	I(SMT)	外部中断输入端口	
	AD7	I(AN)	ADC INPUT 7	
12	P14	I/O (上拉)	通用 I/O 口	图 2.2
	VREF	I(AN)	ADC 参考电压输入	
13	P15	I/O(上拉)	通用 I/O 口	图 2.2
	COM6	O(AN)	LCD Common 6 output	
	AD6	I(AN)	ADC INPUT 6	



14	P16	I/O(上拉)	通用 I/O 口	图 2.2
	COM5	O(AN)	LCD Common 5 output	
	AD5	I(AN)	ADC INPUT 5	
15	P17	I/O(上拉)	通用 I/O 口	图 2.2
	COM4	O(AN)	LCD Common 4 output	
	AD4	I(AN)	ADC INPUT 4	
16	P20	I/O(上拉)	通用 I/O 口	图 2.2
	AD3	I(AN)	ADC INPUT 3	
	PWM2	O	Timer2 PWM 模式	
17	P21	I/O(上拉)	通用 I/O 口	图 2.2
	AD2	I(AN)	ADC INPUT 2	
	BUZ	O	Buzzer Timer 输出	
18	P22	I/O(上拉)	通用 I/O 口	图 2.2
	AD1	I(AN)	ADC INPUT 1	
19	P23	I/O(上拉)	通用 I/O 口	图 2.2
	AD0	I(AN)	ADC INPUT 0	
20	P24	I/O(上拉)	通用 I/O 口	图 2.2
	COM3	O(AN)	LCD Common 3 output	
21	P25	I/O(上拉)	通用 I/O 口	图 2.2
	COM2	O(AN)	LCD Common 2 output	
22	P26	I/O(上拉)	通用 I/O 口	图 2.2
	COM1	O(AN)	LCD Common 1 output	
23	P27	I/O(上拉)	通用 I/O 口	图 2.2
	COM0	O(AN)	LCD Common 0 output	
24	P30	I/O(上拉)	通用 I/O 口	图 2.2
	SEG0	O(AN)	LCD Segment 0 output	
25	P31	I/O(上拉)	通用 I/O 口	图 2.2
	SEG1	O(AN)	LCD Segment 1 output	
26	P32	I/O(上拉)	通用 I/O 口	图 2.2
	SEG2	O(AN)	LCD Segment 2 output	
27	P33	I/O(上拉)	通用 I/O 口	图 2.2
	SEG3	O(AN)	LCD Segment 3 output	
28	P34	I/O(上拉)	通用 I/O 口	图 2.2
	SEG4	O(AN)	LCD Segment 4 output	
	SI	I(SMT)	SPI 串行输入	
29	P35	I/O(上拉)	通用 I/O 口	图 2.2
	SEG5	O(AN)	LCD Segment 5 output	
	SO	O	SPI 串行输出	
30	P36	I/O(上拉)	通用 I/O 口	图 2.2
	SEG6	O(AN)	LCD Segment 6 output	
	SCK	I/O	SPI 时钟串行输入/输出	



31	P37	I/O(上拉)	通用 I/O 口	图 2.2
	SEG7	O(AN)	LCD Segment 7 output	
	/SS	I(SMT)	SPI Slave 选择	
32	P40	I/O(上拉)	通用 I/O 口	图 2.2
	SEG8	O(AN)	LCD Segment 8 output	
	INT4	I(SMT)	外部中断输入端口	
33	AD9	I(AN)	ADC INPUT 9	图 2.2
	P41	I/O(上拉)	通用 I/O 口	
	SEG9	O(AN)	LCD Segment 9 output	
34	INT5	I(SMT)	外部中断输入端口	图 2.2
	AD10	I(AN)	ADC INPUT 10	
	P42	I/O(上拉)	通用 I/O 口	
35	SEG10	O(AN)	LCD Segment 10 output	图 2.2
	INT6	I(SMT)	外部中断输入端口	
	AD11	I(AN)	ADC INPUT 11	
36	P43	I/O(上拉)	通用 I/O 口	图 2.2
	SEG11	O(AN)	LCD Segment 11 output	
	INT7	I(SMT)	外部中断输入端口	
37	P44	I/O(上拉)	通用 I/O 口	图 2.2
	SEG16	O(AN)	LCD Segment 16 output	
	RX	I(SMT)	UART RX 输入	
38	P45	I/O(上拉)	通用 I/O 口	图 2.2
	SEG17	O(AN)	LCD Segment 17 output	
	RX	O	UART TX 输出	
39	P46	I/O(上拉)	通用 I/O 口	图 2.2
	SEG19	O(AN)	LCD Segment 19 output	
40	P47	I/O(上拉)	通用 I/O 口	图 2.2
	SEG20	O(AN)	LCD Segment 20 output	
41	P50	I/O(上拉)	通用 I/O 口	图 2.2
	SEG21	O(AN)	LCD Segment 21 output	
42	P51	I/O(上拉)	通用 I/O 口	图 2.2
	SEG22	O(AN)	LCD Segment 22 output	
43	P52	I/O(上拉)	通用 I/O 口	图 2.2
	Xin	I	32.768K 振荡器输入	
44	P53	I/O(上拉)	通用 I/O 口	图 2.2
	Xout	O	32.768K 振荡器输出	
45	OSCO	O	振荡器输出	--
	P55	I/O	通用 I/O 口	
46	OSCI	I	振荡器输入	--
47	VDD	--	电源	--
48	GND	--	地	--
48	TEST	--	测试脚 (VDD)	--
	P54	I/O	通用 I/O 口	



注：AN 表示模拟信号输入输出。

3 功能框图

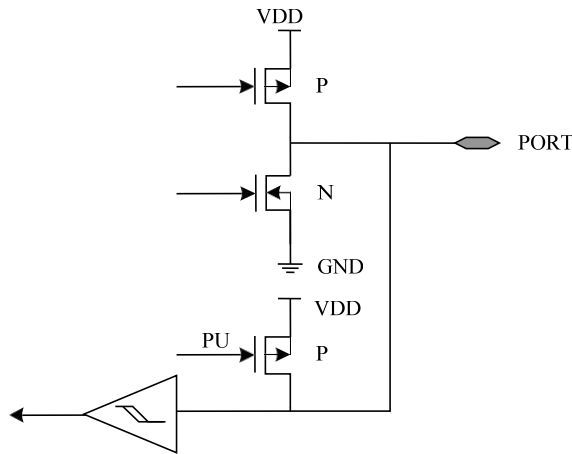


图 2.2 端口输入输出电路图

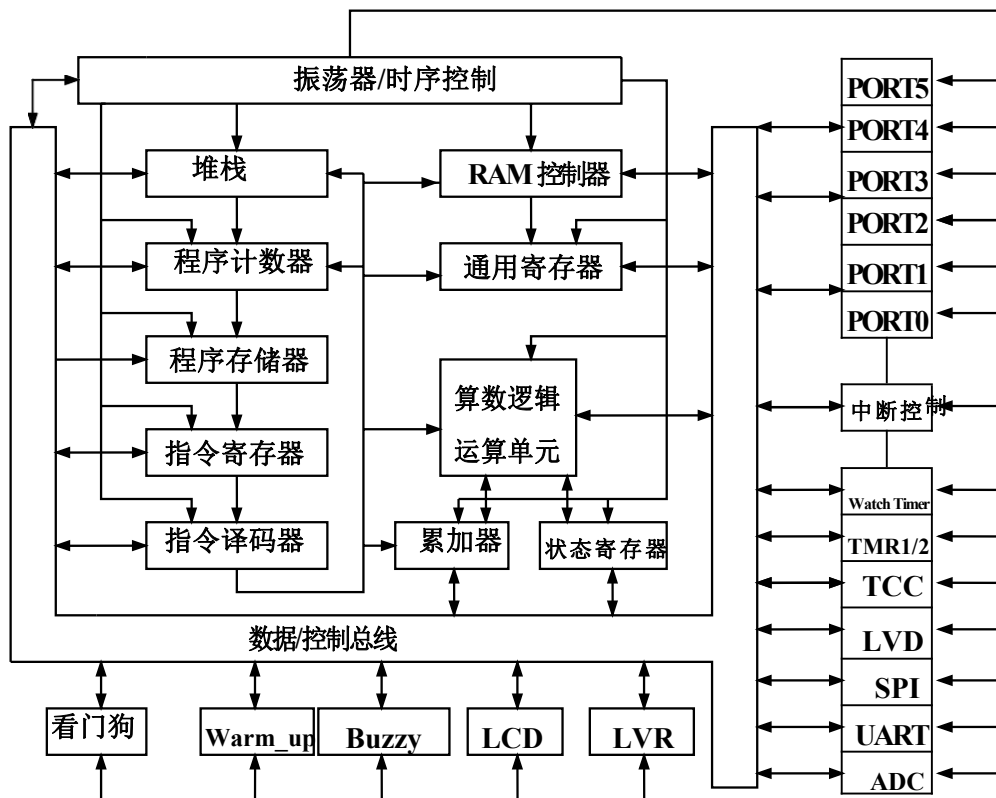


图 3.1 JZ8P8801 功能框图

JZ8P8801 上电复位，各个模块实现初始化，此时 PC 指向\$000，执行复位子程序。正常工作模式下，ROM 中 16 位数据经指令译码后，产生微操作信号，微操作信号和时序模块共同实现对各个模块的控制，配合实现相应功能。所得的结果可以由微控制信号存放在数据存储器内，也可以送入累加器中，在指令需要时再进行运算。



在指令的执行过程中 PC 一般情况下会自动加“1”，下一条要执行的指令就是程序计数器指定地址的内容。有时指令执行的是转移指令（如 JSR、JMP 等）、从子程序返回、产生了中断或者重新复位，这些操作都会引起 PC 内容的变化，此时所需执行的下一条指令不再是 PC 自动加“1”时地址的内容，而是由控制信号产生的新的 PC 值处的内容。当执行子程序调用 JSR 时，PC+1 将放在堆栈中，在执行返回指令时，堆栈中的数据再进入 PC 中。

4 存储器结构

4.1 程序存储器结构

JZ8P8801 具有一个 13 位程序计数器，能寻址 $8K \times 16$ 位程序存储空间。复位向量是 000H，硬件中断向量如图 4.1 所示。



图 4.1 程序存储器结构图

4.2 数据存储区结构

数据存储区分成 BANK0~BANK6 页面寄存器。每个页面寄存器包括通用寄存器和特殊功能寄存器，特殊功能寄存器位于低地址单元 00H~0FH，BANK0 通用寄存器地址范围为 10H~3FH，BANK1~BANK7 通用寄存器地址范围为 20H~3FH。

数据存储区结构分布如表 4.1 所示：

表 4.1 数据存储区结构分布



地址	BANK 0	BANK 1	BANK 2	BANK 3	BANK 4	BANK 5	BANK 6
00	RIND (间接寻址寄存器)	保留	保留	保留	保留	保留	保留
01	RTC (TCC 计数器)	保留	保留	保留	保留	保留	保留
02	PC(程序计数器)	保留	保留	保留	保留	保留	保留
03	RCFG (状态寄存器)	保留	保留	保留	保留	保留	保留
04	RAS (RAM 选择寄存器)	保留	保留	保留	保留	保留	保留
05	RABS(RAM 页选择寄存器)	LCDRCR (LCD 控制寄存器)	TM1C(Timer 1 控制寄存器)	UARTC1 (UART 控制寄存器 1)	LEDPC(LED 驱动控制寄存器)	保留	保留
06	RPS(ROM 页面选择寄存器)	LCDAR (LCD 地址寄存器)	TSR(Timer 状态寄存器)	UARTS (UART 状态寄存器)	WBC(Watch Timer/Buzzer 控制寄存器)	UARTC2 (UART 控制寄存器 2)	保留
07	P0 (端口 P0 数据寄存器)	LCDBUF (LCD 数据寄存器)	TM1PD (Timer1 周期寄存器)	UARTRD (UART 读数寄存器)	P0CR(P0 控制寄存器)	PHCR0(P0 上拉控制寄存器)	ODCR0 (P0 开漏控制寄存器)
08	P1 (端口 P1 数据寄存器)	LCDVCR (LCD 电压控制寄存器)	TM1DT (Timer1 占空寄存器)	UARTTD (UART 传输数据寄存器)	P1CR (P1 控制寄存器)	PHCR1(P1 上拉控制寄存器)	ODCR1 (P1 开漏控制寄存器)
09	P2(端口 P2 数据寄存器)	COMCTRL (LCD Common 控制寄存器)	TM2C (Timer2 控制寄存器)	ADCC (AD 控制寄存器)	P2CR(P2 控制寄存器)	PHCR2 (P2 上拉控制寄存器)	ODCR2 (P2 开漏控制寄存器)
0A	P3 (端口 P3 数据寄存器)	SEGCTRL0(LCD Segment 寄存器 0)	TM2PD (Timer2 周期寄存器)	ADICH(AD 高位输入控制寄存器)	P3CR (P3 控制寄存器)	PHCR3 (P3 上拉控制寄存器)	ODCR3 (P3 开漏控制寄存器)
0B	P4 (端口 P4 数据寄存器)	SEGCTRL1 (LCD Segment 寄存器 1)	TM2DT (Timer2 占空寄存器)	ADICL (AD 低位输入控制寄存器)	P4CR (P4 控制寄存器)	PHCR4 (P4 上拉控制寄存器)	ODCR4 (P4 开漏控制寄存器)
0C	SCC (系统时钟控制寄存器)	SEGCTRL2(LCD Segment 寄存器 2)	SPIS (SPI 状态寄存器)	ADDH (AD 高八位数据寄存器)	P5CR (P5 控制寄存器)	PHCR5 (P5 上拉控制寄存器)	P5 (P5 数据寄存器)
0D	TWC (TCC/WDT 控制寄存器)	保留	SPIC (SPI 控制寄存器)	ADDL (AD 低四位寄存器)	TBRDL (查表地址低位寄存器)	保留	保留
0E	RIEN (中断使能控制寄存器)	EIEN (外部中断使能控制寄存器)	SPIRBUF(SPI 读数寄存器)	EIESH(外部中断沿选择寄存器 0)	TBRDH(查表地址高位寄存器)	保留	PC_H(程序计数器高位寄存器)



0F	RIFG (中断状态寄存器)	EIFG (外部中断状态寄存器)	SPIWBUF (SPI 写数据寄存器)	EIESL (外部中断沿选择寄存器 1)	WKC (外部中断唤醒控制寄存器)	保留	保留
10~1F	通用寄存器 16*8						
20~3F	通用寄存器 256*8 (BANK0~BANK7)						

4.3 BANK0 页面存储器详解

4.3.1 RIND (间接地址寄存器) : BANK0 R0

间接寻址寄存器并不是一个实际存在的寄存器，它的主要功能是作为间接寻址的指针。任何以 R0 作为指针的指令，实际对应的地址是 R4 (RAM 选择寄存器) 低 6 位 RAMS<5:0>的数据所指向的地址。

4.3.2 RTC (TCC 计数器) : BANK0 R1

RTC 是一个 8 bit 上行计数器，每一个主时钟 Fm 或副时钟 Fs (由 TWTCR 寄存器控制) TCC 寄存器加 1。计数溢出可形成中断，RTC 寄存器可读可写。

4.3.3 PC (程序计数器) 与堆栈: BANK0 R2

程序计数器 (PC) 是用于记录每个指令周期中 CPU 所要处理的指令的指针。在一个普通的 CPU 运行周期中，PC 将指令指针推进程序存储器，然后指针自增 1 以进入下一个周期。

堆栈是用于记录程序返回的指令指针。当调用子程序时，PC 将指令指针压栈。待执行返回指令时，堆栈 将指令指针送回 PC，继续进行原来的进程。

(1) 内置 8 级堆栈是 13 位元宽，用于 8K*16bit ROM 的寻址，具体结构见图 4.2:

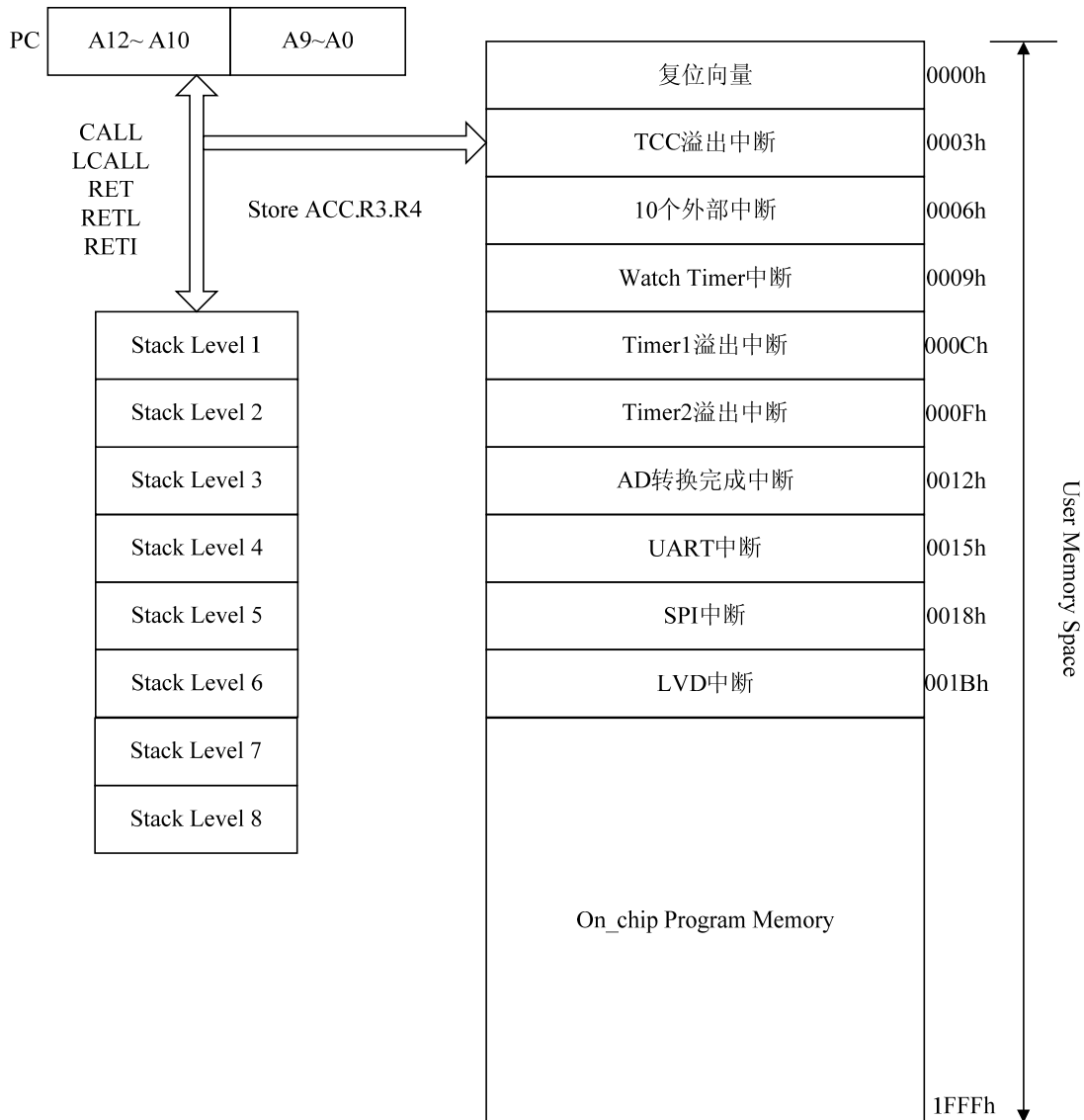


图 4.2 程序计数器与堆栈结构图

(2) 一般情况下，PC 自增一；复位时，PC 的所有位都被清零。

(3) 指令“JMP”允许直接载入低 10 位地址，因此，JMP 指令可以实现同一页面任意位置跳转；指令“LJMP”允许直接载入 13 位地址，因此 LJMP 可以实现 8K 地址内任意位置跳转；指令“JSR”载入低 10 位地址，同时将 PC+1 压栈，子程序入口地址只要在同一页面内就能够被准确定位；指令“LJSR”载入 13 位地址，同时将 PC+1 压栈，子程序入口地址在 8K 地址内都能够被准确定位；指令 PAGE K 用来设置 R6(2:0)，用来决定 JMP,CALL 指令跳转的页面（每页为 1K）。除 LJSR 及 LJMP 指令需要在两个指令周期，其它指令均是单周期指令。

(4) “ADD R2, A”对 PC 值进行改写的时会相应影响 PC 高位，其他指令（如“MOV R2, A”“BS R2, 6”等）对 PC 值进行改写时 PC 高位将保持不变。

(5) 执行“RTS”（“RTSA k”，“RTI”）指令时将栈顶数据送到 PC。

(6) 发生中断时，程序计数器的值将指向相应中断入口地址。

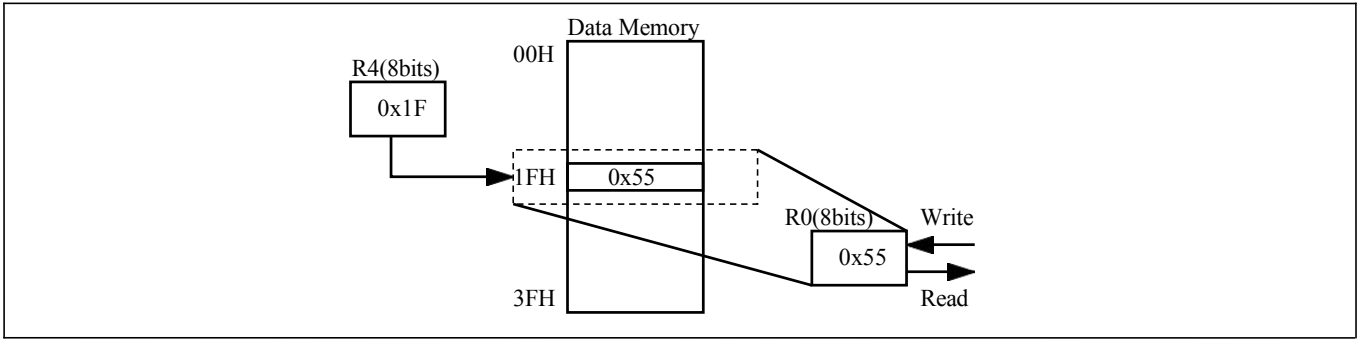
4.3.4 RCFG（状态寄存器）：BANK0 R3



Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0															
LV DEN	LVDVS1	LVDVS0	T	P	Z	DC	C															
<p>Bit7 LV DEN: 电压检测使能位: 1: 使能 ; 0: 禁止;</p> <p>Bit6~Bit5 LVDVS<1:0>:电压检测选择位:</p> <table border="1"> <thead> <tr> <th>LVDVS</th> <th>LVDVS0</th> <th>检测电压</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>2.4V</td> </tr> <tr> <td>0</td> <td>1</td> <td>2.7V</td> </tr> <tr> <td>1</td> <td>0</td> <td>3.3V</td> </tr> <tr> <td>1</td> <td>1</td> <td>3.9V</td> </tr> </tbody> </table> <p>Bit4 T: 暂停标志位: 1: 执行“SLEEP”和“CWDT”指令或低压复位; 0: WDT 溢出;</p> <p>Bit3 P: 掉电标志位: 1: 上电复位或执行“CWDT”指令; 0: 执行“SLEEP”指令;</p> <p>Bit2 Z: 零标志位: 1: 当算术或者逻辑运算结果为0; 0: 当算术或者逻辑运算结果不为0;</p> <p>Bit1 DC: 辅助进位标志: 1: 执行加法运算时, 低四位有进位产生; /执行减法运算时, 低四位没有产生借位; 0: 执行加法运算时, 低四位没有进位产生; /执行减法运算时, 低四位产生借位;</p> <p>Bit0 C: 进位标志: 1: 执行加法运算时, 高四位有进位产生; 执行减法运算时, 高四位没有产生借位; 0: 执行加法运算时, 高四位没有进位产生; 执行减法运算时, 高四位产生借位;</p>								LVDVS	LVDVS0	检测电压	0	0	2.4V	0	1	2.7V	1	0	3.3V	1	1	3.9V
LVDVS	LVDVS0	检测电压																				
0	0	2.4V																				
0	1	2.7V																				
1	0	3.3V																				
1	1	3.9V																				

4.3.5 RAS (RAM 选择寄存器) : BANK0 R4

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
LVDF	BNC	RAS<5:0>					
<p>Bit7 LVDF: 电压检测标志位: 1: 未检测到低压或低压检测功能关闭 0: 检测到低压</p> <p>Bit6 BNC: 普通寄存器页面选择控制位: 1: 允许访问任何页面; 0: 只允许访问 BANK0 页面;</p> <p>Bit<5: 0> RAS<5:0>: 配合 R0 实现间接寻址 (寻址范围 00H~0FH, 10H~3FH)。 R4 用于配合 R0 实现间接寻址操作。用户可以将某个寄存器对应的地址放进 R4, 然后通过访问间接寻址寄存器 R0, 此时地址将指向 R4 中对应地址的寄存器。示意图如下</p>							



4.3.6 RABS (RAM BANK 选择寄存器) : BANK0 R5

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	RBS2	RBS1	RBS0
Bit7~ Bit3 保留							
Bit2~ Bit0 RBS<2:0>: RAM BANK 选择寄存器							
		RBS2	RBS	RBS0	RAM BANK 选择		
		0	0	0	BANK 0		
		0	0	1	BANK 1		
		0	1	0	BANK 2		
		0	1	1	BANK 3		
		1	0	0	BANK 4		
		1	0	1	BANK 5		
		1	1	0	BANK 6		
		1	1	1	BANK 7		

4.3.7 RPS (ROM 页面选择寄存器) : BANK0 R6

Bit 7	Bit6	Bit 5	Bit 4	Bit 3	Bit 2	Bit 1	Bit 0
0	0	0	0	0	PS2	PS1	PS0
Bit7~ Bit3 保留							
Bit2~ Bit0 PS<2:0>: ROM 页面选择寄存器							
		PS2	PS1	PS0	RAM BANK 选择		
		0	0	0	PAGE 0		
		0	0	1	PAGE 1		
		0	1	0	PAGE 2		
		0	1	1	PAGE 3		
		1	0	0	PAGE 4		
		1	0	1	PAGE 5		
		1	1	0	PAGE 6		
		1	1	1	PAGE 7		



4.3.8 P0 (端口 P0 数据寄存器) : BANK0 R7

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P07	P06	P05	P04	P03	P02	P01	P00
Bit7~Bit0 P0<7:0>: 端口 P0 的 8 位 I/O 数据寄存器: 1: 定义 P0 对应端口为高电平; 0: 定义 P0 对应端口为低电平。 P0 寄存器可读可写。							

4.3.9 P1 (端口 P1 数据寄存器) : BANK0 R8

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P17	P16	P15	P14	P13	P12	P11	保留
Bit7~Bit1 P1<7:1>: 端口 P1 的 7 位 I/O 数据寄存器: 1: 定义 P1 对应端口为高电平; 0: 定义 P1 对应端口为低电平。 P1 寄存器可读可写。							

4.3.10 P2 (端口 P2 数据寄存器) : BANK0 R9

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P27	P26	P25	P24	P23	P22	P21	P20
Bit7~Bit0 P2<7:0>: 端口 P2 的 8 位 I/O 数据寄存器: 1: 定义 P2 对应端口为高电平; 0: 定义 P2 对应端口为低电平。 P2 寄存器可读可写。							

4.3.11 P3 (端口 P3 数据寄存器) : BANK0 RA

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P37	P36	P35	P34	P33	P32	P31	P30
Bit7~Bit0 P3<7:0>: 端口 P3 的 8 位 I/O 数据寄存器: 1: 定义 P3 对应端口为高电平; 0: 定义 P3 对应端口为低电平。 P3 寄存器可读可写。							

4.3.12 P4 (端口 P4 数据寄存器) : BANK0 RB

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
P47	P46	P45	P44	P43	P42	P41	P40
Bit7~Bit0 P4<7:0>: 端口 P4 的 8 位 I/O 数据寄存器: 1: 定义 P4 对应端口为高电平; 0: 定义 P4 对应端口为低电平。 P4 寄存器可读可写。							

4.3.13 SCC (系统时钟控制寄存器) : BANK0 RC

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
保留	CLK2	CLK1	CLK0	IDLE	保留	保留	CPUS



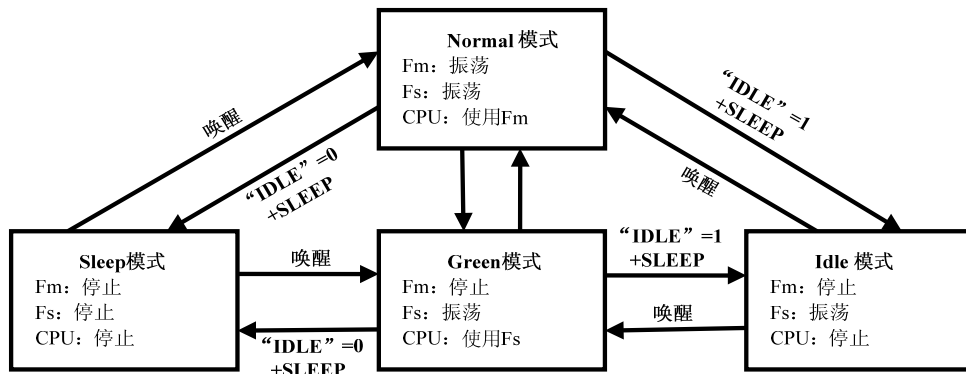
Bit7 保留，一直为“0”

Bit6~ Bit4 CLK<2:0>: PLL 模式（在代码选项中选择）中主时钟选择位

CLK2	CLK1	CLK0	PLL 频率选择
0	0	0	3.998MHz
0	0	1	1.999MHz
0	1	0	999KHz
0	1	1	499.7KHz
1	0	0	7.995MHz
1	0	1	11.99MHz
1	1	0	15.99MHz
1	1	1	15.99MHz

Bit3 IDLE: 空闲模式使能位。这一位决定“SLEEP”指令执行后 MCU 的工作模式:

- 1: IDLE 模式 (“1”+“SLEEP”指令→空闲模式)
- 0: SLEEP 模式 (“0”+“SLEEP”指令→休眠模式)



Bit2~ Bit1 保留，一直为“0” Bit0 CPUS: CPU 振荡源选择:

- 1: 主时钟 (Fm)
- 0: 副时钟 (Fs)

4.3.14 TWC (TCC/WDT 控制寄存器): BANK0 RD

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
WDTE	PSW2	PSW1	PSW0	TS	PST2	PST1	PST0

Bit7 WDTE: WDT 使能位:

- 1: 使能
- 0: 禁止

Bit6~ Bit4 PSW <2:0>: WDT 分频系数选择控制位:

PSW2	PSW1	PSW0	WDT 分频系数
0	0	0	1:1
0	0	1	1:2
0	1	0	1:4
0	1	1	1:8



1	0	0	1:16
1	0	1	1:32
1	1	0	1:64
1	1	1	1:128

Bit3 TS: TCC 时钟源选择位:
 1: 副时钟 (Fs=32.768KHz)
 0: 主时钟 (Fm)

Bit2~ Bit0 PST<2:0>: TCC 分频系数选择控制位:

PST2	PST1	PST0	TCC 分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

4.3.15 RIEN (中断使能控制寄存器): BANK0 RE

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
T1IE	LVDIE	ADIE	SPIIE	UARTIE	EXIE9	EXIE8	TCIE

Bit7 T1IE: Timer1 溢出中断使能控制信号:
 1: 使能
 0: 禁止

Bit6 LVDIE: 低电压检测中断使能控制信号:
 1: 使能
 0: 禁止

Bit5 ADIE: ADC 转换完成中断使能控制信号:
 1: 使能
 0: 禁止

Bit4 SPIIE: SPI 传输/接收/错误中断使能控制信号:
 1: 使能
 0: 禁止

Bit3 UARTIE: UART 传输/接收/错误中断使能控制信号:
 1: 使能
 0: 禁止

Bit2 EXIE9: 外部中断 9 中断使能控制信号:
 1: 使能
 0: 禁止

Bit1 EXIE8: 外部中断 8 中断使能控制信号:
 1: 使能
 0: 禁止



Bit0 TCIE: TCC 溢出中断使能控制信号:
 1: 使能
 0: 禁止

4.3.16 RIFG (中断状态寄存器) : BANK0 RF

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
T1IF	LVDIF	ADIF	SPIIF	UARTIF	EXIF9	EXIF8	TCIF
<p>Bit7 T1IF: Timer1 溢出中断标志位: 1: 有中断形成 0: 没有中断</p> <p>Bit6 LVDIF: 低电压检测中断标志位: 1: 有中断形成 0: 没有中断</p> <p>Bit5 ADIF: ADC 转换完成中断标志位: 1: 有中断形成 0: 没有中断</p> <p>Bit4 SPIIF: SPI 传输/接收/错误中断标志位: 1: 有中断形成 0: 没有中断</p> <p>Bit3 UARTIF: UART 传输/接收/错误中断标志位: 1: 有中断形成 0: 没有中断</p> <p>Bit2 EXIF9: 外部中断 9 中断标志位: 1: 有中断形成 0: 没有中断</p> <p>Bit1 EXIF8: 外部中断 8 中断标志位: 1: 有中断形成 0: 没有中断</p> <p>Bit0 TCIF: TCC 溢出中断标志位: 1: 有中断形成 0: 没有中断</p>							

4.4 BANK1 页面存储器详解

4.4.1 LCDCR (LCD 控制寄存器) : BANK1 R5

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
LCDEN	LCDTYPE	BIAS1	BIAS0	DUTY1	DUTY0	LCDF1	LCDF0
<p>Bit7 LCDEN: LCD 使能位: 1: LCD 使能 0: LCD 禁止, 所有 COM/SEG 脚都置为 VDD</p> <p>Bit6 LCDTYPE: LCD 波形类型选择: 1: B 类波形 0: A 类波形</p>							



Bit5~ Bit4 BIAS <1:0>: LCD 偏压选择:

BIAS1	BIAS0	LCD 偏压
0	0	1/2 偏压
0	1	1/3 偏压
1	X	1/4 偏压

Bit3~ Bit2 DUTY <1:0>: LCD duty 选择:

DUTY1	DUTY0	LCD duty
0	0	静态 (单 COM 脚工
0	1	1/3 duty
1	0	1/4 duty
1	1	1/8 duty

Bit1~ Bit0 LCDF<1:0>: LCD 帧频选择:

LCD 帧频率 (Fs=32.768KHz)					
LCDF1	LCDF0	静态	1/3 duty	1/4 duty	1/8 duty
0	0	Fs/(512×1)=64.0	Fs/(172×3)=63.5	Fs/(128×4)=64.0	Fs/(64×8)=64.0
0	1	Fs/(560×1)=58.5	Fs/(188×3)=58	Fs/(140×4)=58.5	Fs/(70×8)=58.5
1	0	Fs/(608×1)=53.9	Fs/(204×3)=53.5	Fs/(152×4)=53.9	Fs/(76×8)=53.9
1	1	Fs/(464×1)=70.6	Fs/(156×3)=70	Fs/(116×4)=70.6	Fs/(58×8)=70.6

4.4.2 LCDAR (LCD 地址寄存器) : BANK1 R6

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	LCD_A4	LCD_A3	LCD_A2	LCD_A1	LCD_A0

Bit4~ Bit0 LCD_A4~LCD_A0: LCD RAM 地址

4.4.3 LCDBUF (LCD 数据缓冲器) : BANK1 R7

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
LCD_D7	LCD_D6	LCD_D5	LCD_D4	LCD_D3	LCD_D2	LCD_D1	LCD_D0

Bit7~ Bit0 LCD_D7~LCD_D0: LCD RAM 数据寄存器

表 1 LCDAR、LCDBUF 与 LCD 显示引脚之间的对应关系

R6 (LCD 地址)	R7 (LCD 数据缓冲器)								SEG 端 口
	Bit7 LCD_D7	Bit6 LCD_D6	Bit5 LCD_D5	Bit4 LCD_D4	Bit3 LCD_D3	Bit2 LCD_D2	Bit1 LCD_D1	Bit0 LCD_D0	
00H									SEG0
01H									SEG1
02H									SEG2
14H									SEG20
15H									SEG21
16H									SEG22
COM 端	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0	



4.4.4 LCDVCR (LCD 电压控制寄存器) : BANK1 R8

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	LCDCK1	LCDCK0	LCDVS2	LCDVS1	LCDVS0
Bit4~ Bit3 LCDCK <1:0>: LCD 时钟选择 (仅用于副时钟停振的模式下):							
			LCDCK1	LCDCK0	LCD 时钟		
			0	0	Fm/512		
			0	1	Fm/256		
			1	0	Fm/128		
			1	1	Fm/64		
注: 副时钟停振的模式下, 需根据选定的 Fm 频率, 合理配置 LCDCK 1 和 LCDCK 0, 产生合适的 LCD 时钟, 建议配置 LCD 时钟为 32kHz 左右。如: Fm 为 8MHz, 则需配置 LCDCK 1、LCDCK 0=0、1。如果配置不合理, 导致 LCD 时钟频率偏差过大, 会影响 LCD 显示。							
Bit2~ Bit0 LCDVS<2:0>: LCD 电压选择:							
		LCDVS2	LCDVS1	LCDVS0	LCD 输出电压		
		0	0	0	0.4VDD~VDD		
		0	0	1	0.34VDD~VDD		
		0	1	0	0.26VDD~VDD		
		0	1	1	0.18VDD~VDD		
		1	0	0	0.13VDD~VDD		
		1	0	1	0.07VDD~VDD		
		1	1	0	0.04VDD~VDD		
		1	1	1	0V~VDD		

4.4.5 COMCTRL (LCD COM 引脚控制寄存器) : BANK1 R9

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
Bit7~ Bit0 COM7~COM0: LCD COM7~0 脚功能选择:							
1: 使能, 作为 LCD COM 脚;							
0: 禁止, 作为普通 I/O 脚或其它功能脚。							

4.4.6 SEGCTRL0 (LCD SEG 引脚控制寄存器 0) : BANK1 RA

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
Bit7~ Bit0 SEG7~SEG0: LCD SEG7~0 脚功能选择:							
1: 使能, 作为 LCD SEG 脚;							
0: 禁止, 作为普通 I/O 脚或其它功能脚。							

4.4.7 SEGCTRL1 (LCD SEG 引脚控制寄存器 1) : BANK1 RB

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
Bit7~ Bit0 SEG15~SEG8: LCD SEG15~8 脚功能选择:							
1: 使能, 作为 LCD SEG 脚;							
0: 禁止, 作为普通 I/O 脚或其它功能脚。							



4.4.8 SEGCTRL2 (LCD SEG 引脚控制寄存器 2) : BANK1 RC

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16

Bit7~Bit0 SEG22~SEG16: LCD SEG22~16 脚功能选择:
 1: 使能, 作为 LCD SEG 脚;
 0: 禁止, 作为普通 I/O 脚或其它功能脚。

4.4.9 EIEN (外部中断使能控制寄存器) : BANK1 RE

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
EXIE7	EXIE6	EXIE5	EXIE4	EXIE3	EXIE2	EXIE1	EXIE0

Bit7 EXIE7: 外部中断 7 中断使能控制信号:
 1: 使能
 0: 禁止
 Bit6 EXIE6: 外部中断 6 中断使能控制信号:
 1: 使能
 0: 禁止
 Bit5 EXIE5: 外部中断 5 中断使能控制信号:
 1: 使能
 0: 禁止
 Bit4 EXIE4: 外部中断 4 中断使能控制信号:
 1: 使能
 0: 禁止
 Bit3 EXIE3: 外部中断 3 中断使能控制信号:
 1: 使能
 0: 禁止
 Bit2 EXIE2: 外部中断 2 中断使能控制信号:
 1: 使能
 0: 禁止
 Bit1 EXIE1: 外部中断 1 中断使能控制信号:
 1: 使能
 0: 禁止
 Bit0 EXIE0: 外部中断 0 中断使能控制信号:
 1: 使能
 0: 禁止

4.4.10 EIFG (外部中断状态寄存器) : BANK1 RF

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
EXIF7	EXIF6	EXIF5	EXIF4	EXIF3	EXIF2	EXIF1	EXIF0

Bit7 EXIF7: 外部中断 7 中断标志位:
 1: 有中断形成
 0: 没有中断
 Bit6 EXIF6: 外部中断 6 中断标志位:
 1: 有中断形成
 0: 没有中断



- Bit5 EXIF5: 外部中断 5 中断标志位:
1: 有中断形成
0: 没有中断
- Bit4 EXIF4: 外部中断 4 中断标志位:
1: 有中断形成
0: 没有中断
- Bit3 EXIF3: 外部中断 3 中断标志位:
1: 有中断形成
0: 没有中断
- Bit2 EXIF2: 外部中断 2 中断标志位:
1: 有中断形成
0: 没有中断
- Bit1 EXIF1: 外部中断 1 中断标志位:
1: 有中断形成
0: 没有中断
- Bit0 EXIF0: 外部中断 0 中断标志位:
1: 有中断形成
0: 没有中断

4.5 BANK2 页面存储器详解

4.5.1 TM1C (定时器1 Timer1 控制寄存器) : BANK2 R5

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TIS1	TIS0	TM1S2	TM1S1	TM1S0	TM1PS2	TM1PS1	TM1PS0
Bit7~ Bit6 TIS <1:0>: Timer1 和 Timer2 工作在 PWM 模式下中断模式选择:							
				定时器1 和定时器2 中断类型选择			
TIS1		TIS0					
0		0		周期溢出中断			
0		1		占空比溢出中断			
1		X		周期溢出或占空比溢出中断			
Bit5~ Bit3 TM1S <2:0>: 定时器 1 工作模式选择:							
				Timer1 工作模式			
TM1S2		TM1S1		TM1S0			
0		0		0		定时器模式	
0		0		1		T1OUT 模式	
0		1		0		上升沿捕获模式	
0		1		1		下降沿捕获模式	
1		0		0		UART 波特率发生器	
1		0		1		PWM1	
1		1		0			
1		1		1			



Bit2~ Bit0 TM1PS <2:0>: Timer1 预分频器选位:

TM1PS2	TM1PS1	TM1PS0	预分频系数
0	0	0	1:2
0	0	1	1:4
0	1	0	1:8
0	1	1	1:16
1	0	0	1:32
1	0	1	1:64
1	1	0	1:128
1	1	1	1:256

4.5.2 TSR (定时器 1 Timer1 状态寄存器) : BANK2 R6

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0												
TMMODE	TMRC	TM1CS1	TM1CS0	TM2CS	TM1S	TM1OMS	TM1OC												
<p>Bit7 TMMODE: 定时器模式选择: 1: 16 位级联模式 0: 8 位模式</p> <p>Bit6 TMRC: Timer1 和 Timer2 读控制位: 1: 读 T1PD 或 T2PD 时, 读取的是 Timer1 当前计数值 0: 读 T1PD 或 T2PD 时, 读取的是配置值</p> <p>Bit5~ Bit4 TM1CS <1:0>: Timer1 时钟源选择:</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TM1CS1</th> <th>TM1CS0</th> <th>Timer1 时钟源选择</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Fm</td> </tr> <tr> <td>0</td> <td>1</td> <td>Fs</td> </tr> <tr> <td>1</td> <td>X</td> <td>T1CLK (外部时钟)</td> </tr> </tbody> </table> <p>Bit3 TM2CS: Timer2 时钟源选择位: 1: 带预分频器的副时钟 0: 带预分频器的主时钟</p> <p>Bit2 TM1S: Timer1 启动位: 1: 启动定时器 1 0: 停止定时器 1</p> <p>Bit1 TM1OMS: Timer1 输出模式选择位: 1: 单次模式 0: 重复模式</p> <p>Bit0 TM1OC: Timer1 输出 T 触发器控制位: 1: T 触发器为高 0: T 触发器为低</p>								TM1CS1	TM1CS0	Timer1 时钟源选择	0	0	Fm	0	1	Fs	1	X	T1CLK (外部时钟)
TM1CS1	TM1CS0	Timer1 时钟源选择																	
0	0	Fm																	
0	1	Fs																	
1	X	T1CLK (外部时钟)																	

4.5.3 TM1PD (定时器 1 Timer1 周期系数寄存器) : BANK2 R7

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TM1PD7	TM1PD6	TM1PD5	TM1PD4	TM1PD3	TM1PD2	TM1PD1	TM1PD0
Bit7~ Bit0 TM1PD <7:0>: 定时器 1 的周期值							



4.5.4 TM1DT (定时器 1 Timer1 占空比系数寄存器) : BANK2 R8

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TM1DT7	TM1DT6	TM1DT5	TM1DT4	TM1DT3	TM1DT2	TM1DT1	TM1DT0
Bit7~ Bit0 TM1DT <7:0>: 定时器 1 的占空比值							

4.5.5 TM2C (定时器 2 Timer2 控制寄存器) : BANK2 R9

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0																																																
TM2IF	TM2IE	TM2S	TM2OMS1	TM2OMS0	TM2PS2	TM2PS1	TM2PS0																																																
<p>Bit7 TM2IF: Timer2 中断标志位: 1: 有中断形成 0: 没有中断</p> <p>Bit6 TM2IE: Timer2 中断使能位: 1: 使能 0: 禁止</p> <p>Bit5 TM2S: Timer2 启动位: 1: 启动定时器 2 0: 停止定时器 2</p> <p>Bit4~ Bit3 TM2OMS <1:0>: Timer2 工作模式选择位:</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TM2OMS1</th> <th>TM2OMS0</th> <th>Timer2 工作模式选择位</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>定时器 2 工作模式</td> </tr> <tr> <td>0</td> <td>1</td> <td>SPI 波特率发生器工作模</td> </tr> <tr> <td>1</td> <td>X</td> <td>PWM2 工作模式</td> </tr> </tbody> </table> <p>Bit2~ Bit0 TM2PS <2:0>: Timer2 预分频器选择位:</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>TM2PS2</th> <th>TM2PS1</th> <th>TM2PS0</th> <th>预分频系数</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>0</td> <td>1:2</td> </tr> <tr> <td>0</td> <td>0</td> <td>1</td> <td>1:4</td> </tr> <tr> <td>0</td> <td>1</td> <td>0</td> <td>1:8</td> </tr> <tr> <td>0</td> <td>1</td> <td>1</td> <td>1:16</td> </tr> <tr> <td>1</td> <td>0</td> <td>0</td> <td>1:32</td> </tr> <tr> <td>1</td> <td>0</td> <td>1</td> <td>1:64</td> </tr> <tr> <td>1</td> <td>1</td> <td>0</td> <td>1:128</td> </tr> <tr> <td>1</td> <td>1</td> <td>1</td> <td>1:256</td> </tr> </tbody> </table>								TM2OMS1	TM2OMS0	Timer2 工作模式选择位	0	0	定时器 2 工作模式	0	1	SPI 波特率发生器工作模	1	X	PWM2 工作模式	TM2PS2	TM2PS1	TM2PS0	预分频系数	0	0	0	1:2	0	0	1	1:4	0	1	0	1:8	0	1	1	1:16	1	0	0	1:32	1	0	1	1:64	1	1	0	1:128	1	1	1	1:256
TM2OMS1	TM2OMS0	Timer2 工作模式选择位																																																					
0	0	定时器 2 工作模式																																																					
0	1	SPI 波特率发生器工作模																																																					
1	X	PWM2 工作模式																																																					
TM2PS2	TM2PS1	TM2PS0	预分频系数																																																				
0	0	0	1:2																																																				
0	0	1	1:4																																																				
0	1	0	1:8																																																				
0	1	1	1:16																																																				
1	0	0	1:32																																																				
1	0	1	1:64																																																				
1	1	0	1:128																																																				
1	1	1	1:256																																																				

4.5.6 TM2PD (定时器 2 Timer2 周期系数寄存器) : BANK2 RA

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TM2PD7	TM2PD6	TM2PD5	TM2PD4	TM2PD3	TM2PD2	TM2PD1	TM2PD0
Bit7~ Bit0 TM2PD <7:0>: 定时器 2 的周期值							

4.5.7 TM2DT (定时器 2 Timer2 占空比系数寄存器) : BANK2 RB

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
TM2DT7	TM2DT6	TM2DT5	TM2DT4	TM2DT3	TM2DT2	TM2DT1	TM2DT0
Bit7~ Bit0 TM2DT <7:0>: 定时器 2 的占空比值							



4.5.8 SPIS (SPI 状态寄存器) : BANK2 RC

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
DSC	TD1	TD0	0	ODSDO	ODSCK	0	RBF

Bit7 DSC: 数据移位控制位:
 1: 最低位先移出 (低位优先)
 0: 最高位先移出 (高位优先)

Bit6~ Bit5 TD <1:0>: SDO 输出状态延时选择:

TD1	TD0	延时
0	0	8CLK
0	1	16CLK
1	0	24CLK
1	1	32CLK

Bit3 ODSDO: SDO 开漏输出使能:
 1: SDO 漏极开路使能
 0: SDO 漏极开路禁止

Bit2 ODSCK: SCK 开漏输出使能:
 1: SCK 漏极开路使能
 0: SCK 漏极开路禁止

Bit0 RBF: 读缓存器满标志位:
 1: 接收完成, SPIRB 完全刷新
 0: 接收未完成, SPIRB 未完全刷新

4.5.9 SPIC (SPI 控制寄存器) : BANK2 RD

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CES	SPIE	SPIRO	SPISE	SDOOC	SBRS2	SBRS1	SBRS0

Bit7 CES: SPI 时钟源选择:
 1: 下降沿移出, 上升沿移入
 0: 上升沿移出, 下降沿移入

Bit6 SPIE: SPI 使能位:
 1: 使能 SPI
 0: 禁止 SPI

Bit5 SPIRO: SPI 读溢出标志位:
 1: 发生溢出。
 发生在从模式下, 当前一次数据未被读取, 又移入当前数据时, 会发生此种溢出情况。
 0: 未溢出

Bit4 SPISE: SPI 移位使能:
 1: 开始移位
 0: SPI 移位结束后由硬件复位, 软件不能写 0

Bit3 SDOOC: SDO 输出状态位控制:
 1: 数据传输结束后, SDO 保持为低电平
 0: 数据传输结束后, SDO 保持为高电平



Bit2~ Bit0 SBR2 <2:0>: SPI 波特率选择及模式控制:

SBR2	SBR1	SBR0	模式	波特率
0	0	0	主模式	Fm/2
0	0	1	主模式	Fm/4
0	1	0	主模式	Fm/8
0	1	1	主模式	Fm/16
1	0	0	主模式	Fm/32
1	0	1	主模式	定时器 2
1	1	0	从模式	/SS 禁止
1	1	1	从模式	/SS 使能

4.5.10 SPIRBUF (SPI 读数据缓存器) : BANK2 RE

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SRB7	SRB6	SRB5	SRB4	SRB3	SRB2	SRB1	SRB0

Bit7~ Bit0 SRB <7:0>: SPI 读数据缓冲器

4.5.10 SPIWBUF (SPI 写数据缓存器) : BANK2 RF

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SWB7	SWB6	SWB5	SWB4	SWB3	SWB2	SWB1	SWB0

Bit7~ Bit0 SRB <7:0>: SPI 写数据缓冲器

4.6 BANK3 页面存储器详解

4.6.1 UARTC1 (UART 控制寄存器) : BANK3 R5

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
URTD8	UMODE1	UMODE0	BRS2	BRS1	BRS0	UTBE	TXE

Bit7 URTD8: 发送数据缓存的 bit8

Bit6~ Bit5 UMODE <1:0>: UART 传输模式选择:

UMODE1	UMODE0	UART 模式
0	0	模式 1: 7 位
0	1	模式 2: 8 位
1	0	模式 3: 9 位
1	1	保留

Bit4~ Bit2 BRS <2:0>: 波特率选择位:

BRS2	BRS1	BRS0	波特率	以 Fm=8MHz 为
0	0	0	Fm/13/16	38400
0	0	1	Fm/26/16	19200
0	1	0	Fm/52/16	9600
0	1	1	Fm/104/16	4800
1	0	0	Fm/208/16	2400
1	0	1	Fm/416/16	1200
1	1	0	Timer1	
1	1	1	保留	



Bit1 UTBE: 发送数据缓存空标志位:

- 1: 发送数据缓存空
- 0: 发送数据缓存非空

Bit0 TXE: 发送使能位:

- 1: 使能发送
- 0: 禁止发送

4.6.2 UARTS (UART 状态寄存器) : BANK3 R6

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
URRD8	EVEN	PRE	PRERR	OVERR	FMERR	URBF	RXE
Bit7	URRD8: 接收数据缓存的 bit8						
Bit6	EVEN: 奇偶校验选择位:						
	1: 偶校验						
	0: 奇校验						
Bit5	PRE: 奇偶校验使能位:						
	1: 使能奇偶校验						
	0: 禁止奇偶校验						
Bit4	PRERR: 奇偶校验错误标志位:						
	1: 发生奇偶校验错误 (软件清零)						
	0: 未发生奇偶校验错误						
Bit3	OVERR: 溢出错误标志位:						
	1: 发生溢出错误 (软件清零)						
	0: 未发生溢出错误						
Bit2	FMERR: 帧错误标志位:						
	1: 发生帧错误 (软件清零)						
	0: 未发生帧错误						
	注: 如果上述 3 个错误标志位中任何一个变 1, 则会产生 UART 中断。						
Bit1	URBF: 接收数据缓存满标志位:						
	1: 接收数据缓存满 (已接收完一帧数据)						
	0: 接收数据缓存非满 (未接收完一帧数据)						
	注: 当读接收数据缓存时, 此位自动清零。						
Bit0	RXE: 接收使能位:						
	1: 使能接收						
	0: 禁止接收						

4.6.3 UARTRD (UART 接收数据缓存器) : BANK3 R7

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
URRD7	URRD6	URRD5	URRD4	URRD3	URRD2	URRD1	URRD0
Bit7~ Bit0 URRD <7:0>: UART 接收数据缓冲器, 只读。							

4.6.4 UARTTD (UART 发送数据缓存器) : BANK3 R8

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
URTD7	URTD6	URTD5	URTD4	URTD3	URTD2	URTD1	URTD0
Bit7~ Bit0 URTD <7:0>: UART 发送数据缓冲器, 只写。							



4.6.5 ADCC (ADC 控制寄存器) : BANK3 R9

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0																																																																																										
ADCS	ADPC	ADCK1	ADCK0	ADIS3	ADIS2	ADIS1	ADIS0																																																																																										
<p>Bit7 ADCS: AD 转换开始位: 1: 转换开始; 0: 转换完成由硬件复位置 0, 该位不能由软件复位置 0.</p> <p>Bit6 ADPC: AD 电源控制位: 1: 开启; 0: 关闭</p> <p>Bit5~ Bit4 ADCK <1:0>: AD 转换时间选择位:</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ADCK1</th> <th>ADCK0</th> <th>时钟源</th> <th>最大工作频率 (Fc)</th> </tr> </thead> <tbody> <tr> <td>0</td> <td>0</td> <td>Fc/4</td> <td>1MHz</td> </tr> <tr> <td>0</td> <td>1</td> <td>Fc/16</td> <td>4MHz</td> </tr> <tr> <td>1</td> <td>0</td> <td>Fc/32</td> <td>8MHz</td> </tr> <tr> <td>1</td> <td>1</td> <td>Fc/64</td> <td>16MHz</td> </tr> </tbody> </table> <p>Bit3~ Bit0 ADIS <3:0>: AD 输入选择位:</p> <table border="1" style="margin-left: 20px;"> <thead> <tr> <th>ADIS3</th> <th>ADIS2</th> <th>ADIS1</th> <th>ADIS0</th> <th>模拟输入引脚</th> </tr> </thead> <tbody> <tr><td>0</td><td>0</td><td>0</td><td>0</td><td>AD0</td></tr> <tr><td>0</td><td>0</td><td>0</td><td>1</td><td>AD1</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>0</td><td>AD2</td></tr> <tr><td>0</td><td>0</td><td>1</td><td>1</td><td>AD3</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>0</td><td>AD4</td></tr> <tr><td>0</td><td>1</td><td>0</td><td>1</td><td>AD5</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>0</td><td>AD6</td></tr> <tr><td>0</td><td>1</td><td>1</td><td>1</td><td>AD7</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>0</td><td>AD8</td></tr> <tr><td>1</td><td>0</td><td>0</td><td>1</td><td>AD9</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>0</td><td>AD10</td></tr> <tr><td>1</td><td>0</td><td>1</td><td>1</td><td>AD11</td></tr> <tr><td>1</td><td>1</td><td>0</td><td>0</td><td>AD12</td></tr> </tbody> </table>								ADCK1	ADCK0	时钟源	最大工作频率 (Fc)	0	0	Fc/4	1MHz	0	1	Fc/16	4MHz	1	0	Fc/32	8MHz	1	1	Fc/64	16MHz	ADIS3	ADIS2	ADIS1	ADIS0	模拟输入引脚	0	0	0	0	AD0	0	0	0	1	AD1	0	0	1	0	AD2	0	0	1	1	AD3	0	1	0	0	AD4	0	1	0	1	AD5	0	1	1	0	AD6	0	1	1	1	AD7	1	0	0	0	AD8	1	0	0	1	AD9	1	0	1	0	AD10	1	0	1	1	AD11	1	1	0	0	AD12
ADCK1	ADCK0	时钟源	最大工作频率 (Fc)																																																																																														
0	0	Fc/4	1MHz																																																																																														
0	1	Fc/16	4MHz																																																																																														
1	0	Fc/32	8MHz																																																																																														
1	1	Fc/64	16MHz																																																																																														
ADIS3	ADIS2	ADIS1	ADIS0	模拟输入引脚																																																																																													
0	0	0	0	AD0																																																																																													
0	0	0	1	AD1																																																																																													
0	0	1	0	AD2																																																																																													
0	0	1	1	AD3																																																																																													
0	1	0	0	AD4																																																																																													
0	1	0	1	AD5																																																																																													
0	1	1	0	AD6																																																																																													
0	1	1	1	AD7																																																																																													
1	0	0	0	AD8																																																																																													
1	0	0	1	AD9																																																																																													
1	0	1	0	AD10																																																																																													
1	0	1	1	AD11																																																																																													
1	1	0	0	AD12																																																																																													

4.6.6 ADICH (ADC 输入控制高字节寄存器) : BANK3 RA

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CALI	ADREF	0	0	ADE11	ADE10	ADE9	ADE8
<p>Bit7 CALI: AD 偏移量校准使能位: 1: 使能校准; 0: 禁止校准。</p> <p>Bit6 ADREF: AD 参考电压输入选择: 1: 外部参考引脚, P14 作为外部参考输入引脚; 0: 内部 VDD, P14 作为 I/O。</p> <p>Bit5~ Bit4 保留</p> <p>Bit3~ Bit0 ADE <11:8>: AD 输入引脚使能控制</p>							



1: 模拟输入引脚;
0: I/O 引脚。

4.6.7 ADICL (ADC 输入控制低字节寄存器) : BANK3 RB

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0

Bit7~ Bit0 ADE <7:0>: AD 输入引脚使能控制

1: 模拟输入引脚;
0: I/O 引脚。

4.6.8 ADDH (ADC 高 8 位数据缓存器) : BANK3 RC

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
ADD11	ADD10	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4

Bit7~ Bit0 ADD <11:4>: AD 高 8 位数据缓存器

4.6.9 ADDL (ADC 低 4 位数据缓存器) : BANK3 RD

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
SIGN	VOF2	VOF1	VOF0	ADD3	ADD2	ADD1	ADD0

Bit7 SIGN: AD 补偿电压极性位:

1: 正电压;
0: 负电压。

Bit6~ Bit4 VOF <2:0>: AD 补偿电压选择位:

VOF2	VOF1	VOF0	LSB
0	0	0	0LSB
0	0	1	2LSB
0	1	0	4LSB
0	1	1	6LSB
1	0	0	8LSB
1	0	1	10LSB
1	1	0	12LSB
1	1	1	14LSB

Bit3~ Bit0 ADD <3:0>: AD 低 4 位数据缓存器

4.6.10 EIESH (外部中断沿选择高字节控制寄存器) : BANK3 RE

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
EIES7	EIES6	EIES5	EIES4	EIES3	EIES2	EIES1	EIES0

Bit7~ Bit0 EIES <7:0>: 外部中断 7~0 边沿选择位:

1: 上升沿中断;
0: 下降沿中断。

4.6.11 EIESL (外部中断沿选择低字节控制寄存器) : BANK3 RF

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	ADWK	INTWK9	INTWK8	EIES9	EIES8

Bit7~ Bit5 保留



- Bit4 ADWK: AD 转换唤醒功能使能位:
 1: 使能;
 0: 禁止。
- Bit3~ Bit2 INTWK <9:8>: 外部中断 9~8 唤醒功能使能位:
 1: 使能;
 0: 禁止。
- Bit1~ Bit0 EIES <9:8>: 外部中断 9~8 边沿选择位:
 1: 上升沿中断;
 0: 下降沿中断。

4.7 BANK4 页面存储器详解

4.7.1 LEDPC (LED 引脚驱动控制寄存器): BANK4 R5

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
LEDP7	LEDP6	LEDP5	LEDP4	LEDP3	LEDP2	LEDP1	LEDP0
Bit7~ Bit0 LEDP <7:0>: 8 位 LED 驱动控制位: 1: P2 对应端口作为 LED 直接驱动 I/O; 0: P2 对应端口作为普通 I/O。							

4.7.2 WBC (秒表定时器和蜂鸣器控制寄存器): BANK4 R6

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
WTBCS	WTIE	WTIF	WTIS1	WTIS0	BUZZE	BZOFS1	BZOFS0
Bit7 WTBCS: Watch Timer/Buzzer 时钟源选择位: 1: 副时钟; 0: 主时钟除以 256。							
Bit6 WTIE: Watch Timer 中断使能位: 1: 使能; 0: 禁止。							
Bit5 WTIF: Watch Timer 中断标志位: 1: 有中断形成; 0: 没有中断。							
Bit4~ Bit3 WTIS <1:0>: Watch Timer 间隔时间选择位:							
		WTIS1	WTIS0	间隔时间 (副时钟)	间隔时间 (8M 主时钟)		
		0	0	1S	1S		
		0	1	0.5S	0.5S		
		1	0	0.25S	0.25S		
		1	1	3.91ms	3.91ms		
Bit2 BUZZE: Buzzer 及其输出 (P2.1 口输出) 使能位: 1: 使能; 0: 禁止。							
Bit1~ Bit0 BZOFS <1:0>: 蜂鸣器输出频率选择位							
		BZOFS1	BZOFS0	输出频率 副时钟)	输出频率 (8M 主时钟)		
		0	0	0.5kHz	0.5kHz		
		0	1	1kHz	1kHz		
		1	0	2kHz	2kHz		
		1	1	4kHz	4kHz		



4.7.3 P0CR (P0 控制寄存器) : BANK4 R7

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CR07	CR06	CR05	CR04	CR03	CR02	CR01	CR00

Bit7~ Bit0 CR0 <7:0>: P0 的 8 位 I/O 方向控制:
 1: 定义 P0 对应端口为输入端口;
 0: 定义 P0 对应端口为输出端口。

4.7.4 P1CR (P1 控制寄存器) : BANK4 R8

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CR17	CR16	CR15	CR14	CR13	CR12	CR11	0

Bit7~ Bit1 CR1 <7:1>: P1 的 7 位 I/O 方向控制:
 1: 定义 P1 对应端口为输入端口;
 0: 定义 P1 对应端口为输出端口。

4.7.5 P2CR (P2 控制寄存器) : BANK4 R9

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CR27	CR26	CR25	CR24	CR23	CR22	CR21	CR20

Bit7~ Bit0 CR2 <7:0>: P2 的 8 位 I/O 方向控制:
 1: 定义 P2 对应端口为输入端口;
 0: 定义 P2 对应端口为输出端口。

4.7.6 P3CR (P3 控制寄存器) : BANK4 RA

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CR37	CR36	CR35	CR34	CR33	CR32	CR31	CR30

Bit7~ Bit0 CR3 <7:0>: P3 的 8 位 I/O 方向控制:
 1: 定义 P3 对应端口为输入端口;
 0: 定义 P3 对应端口为输出端口。

4.7.7 P4CR (P4 控制寄存器) : BANK4 RB

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
CR47	CR46	CR45	CR44	CR43	CR42	CR41	CR40

Bit7~ Bit0 CR4 <7:0>: P4 的 8 位 I/O 方向控制:
 1: 定义 P4 对应端口为输入端口;
 0: 定义 P4 对应端口为输出端口。

4.7.8 P5CR (P5 控制寄存器) : BANK4 RC

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	1	CR55	CR54	CR53	CR52	CR51	CR50

Bit5~ Bit0 CR5 <5:0>: P5 的 6 位 I/O 方向控制:
 1: 定义 P5 对应端口为输入端口;
 0: 定义 P5 对应端口为输出端口。
 注: CR55 和 CR54 两位必须先 在 OPTION 中设置成 I/O 端口后才有效。P54 带开漏输出状态。



4.7.9 TBRDL (查表地址低字节寄存器) : BANK4 RD

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
RBIT7	RBIT6	RBIT5	RBIT4	RBIT3	RBIT2	RBIT1	RBIT0
Bit7~ Bit0 RBIT <7:0>: ROM/OPTION 区编程代码指针地址低八位							

4.7.10 TBRDH (查表地址高字节寄存器) : BANK4 RE

Bit7	Bit6	Bit	Bit	Bit3	Bit2	Bit1	Bit0
MLB	OPT TBRD	—	—	RBIT11	RBIT10	RBIT9	RBIT8
Bit7 MLB: 读取对应地址数据选择位: 1: 读取对应地址高八位数据; 0: 读取对应地址低八位数据。 Bit6 OPT_TBRD_EN: option 区域查询使能 (OPTION WORD0<14>为 0 时有效, 否则默认查询 ROM 区域): 1: 查询 option 区域数据; 0: 查询 ROM 区域数据。 Bit3~ Bit0 RBIT <11:8>: ROM/OPTION 区编程代码指针地址高四位。							

4.7.11 WKC (唤醒控制寄存器) : BANK4 RF

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
EIWK7	EIWK6	EIWK5	EIWK4	EIWK3	EIWK2	EIWK1	EIWK0
Bit7~ Bit0 EIWK <7:0>: 外部中断 7~0 唤醒功能使能位: 1: 使能; 0: 禁止。							

4.8 BANK5 页面存储器详解

4.8.1 UARTC2 (UART 控制寄存器 2) : BANK5 R6

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	UARTE	0	UARTINV	0	0	0
Bit5 UARTE: UART 使能位: 1: UART 功能使能, P44、P45 作为 UART 的 RX、TX 脚; 0: UART 功能禁止, P44、P45 作为普通 I/O 脚。 Bit3 UARTINV: UART 数据的反相处理使能位 (同时作用于发送和接收数据): 1: 使能数据反相处理; 0: 禁止数据反相处理。							

4.8.2 PHCR0 (P0 上拉控制寄存器) : BANK5 R7

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PH07	PH06	PH05	PH04	PH03	PH02	PH01	PH00
Bit7~ Bit0 PH0 <7:0>: P0 的 8 位上拉控制: 1: 定义 P0 对应端口使能上拉; 0: 定义 P0 对应端口禁止上拉。							



4.8.3 PHCR1 (P1 上拉控制寄存器) : BANK5 R8

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PH17	PH16	PH15	PH14	PH13	PH12	PH11	
Bit7~ Bit1 PH1 <7:1>: P1 的 7 位上拉控制: 1: 定义 P1 对应端口使能上拉; 0: 定义 P1 对应端口禁止上拉。							

4.8.4 PHCR2 (P2 上拉控制寄存器) : BANK5 R9

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PH27	PH26	PH25	PH24	PH23	PH22	PH21	PH20
Bit7~ Bit0 PH2 <7:0>: P2 的 8 位上拉控制: 1: 定义 P2 对应端口使能上拉; 0: 定义 P2 对应端口禁止上拉。							

4.8.5 PHCR3 (P3 上拉控制寄存器) : BANK5 RA

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PH37	PH36	PH35	PH34	PH33	PH32	PH31	PH30
Bit7~ Bit0 PH3 <7:0>: P3 的 8 位上拉控制: 1: 定义 P3 对应端口使能上拉; 0: 定义 P3 对应端口禁止上拉。							

4.8.6 PHCR4 (P4 上拉控制寄存器) : BANK5 RB

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
PH47	PH46	PH45	PH44	PH43	PH42	PH41	PH40
Bit7~ Bit0 PH4 <7:0>: P4 的 8 位上拉控制: 1: 定义 P4 对应端口使能上拉; 0: 定义 P4 对应端口禁止上拉。							

4.8.7 PHCR5 (P5 上拉控制寄存器) : BANK5 RC

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0	0	0	0	PH53	PH52	PH51	PH50
Bit3~ Bit0 PH5 <3:0>: P5 的 4 位上拉控制: 1: 定义 P5 对应端口使能上拉; 0: 定义 P5 对应端口禁止上拉。							

4.9 BANK6 页面存储器详解

4.9.1 ODCR0 (P0 开漏控制寄存器) : BANK6 R7

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OD07	OD06	OD05	OD04	OD03	OD02	OD01	OD00
Bit7~ Bit0 OD0 <7:0>: P0 的 8 位开漏输出控制: 1: 定义 P0 对应端口使能开漏输出; 0: 定义 P0 对应端口禁止开漏输出。							



4.9.2 ODCR1 (P1 开漏控制寄存器) : BANK6 R8

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OD17	OD16	OD15	OD14	OD13	OD12	OD11	OD10
Bit7~ Bit0 OD1 <7:0>: P1 的 8 位开漏输出控制: 1: 定义 P1 对应端口使能开漏输出; 0: 定义 P1 对应端口禁止开漏输出。							

4.9.3 ODCR2 (P2 开漏控制寄存器) : BANK6 R9

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OD27	OD26	OD25	OD24	OD23	OD22	OD21	OD20
Bit7~ Bit0 OD2 <7:0>: P2 的 8 位开漏输出控制: 1: 定义 P2 对应端口使能开漏输出; 0: 定义 P2 对应端口禁止开漏输出。							

4.9.4 ODCR3 (P3 开漏控制寄存器) : BANK6 RA

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OD37	OD36	OD35	OD34	OD33	OD32	OD31	OD30
Bit7~ Bit0 OD3 <7:0>: P3 的 8 位开漏输出控制: 1: 定义 P3 对应端口使能开漏输出; 0: 定义 P3 对应端口禁止开漏输出。							

4.9.5 ODCR4 (P4 开漏控制寄存器) : BANK6 RB

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
OD47	OD46	OD45	OD44	OD43	OD42	OD41	OD40
Bit7~ Bit0 OD4 <7:0>: P4 的 8 位开漏输出控制: 1: 定义 P4 对应端口使能开漏输出; 0: 定义 P4 对应端口禁止开漏输出。							

4.9.6 P5 (P5 数据寄存器) : BANK6 RC

Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
1	1	P55	P54	P53	P52	P51	P50
Bit5~ Bit0 P5 <5:0>: 端口 P5 的 6 位 I/O 数据寄存器。 1: 定义 P5 对应端口为高电平; 0: 定义 P5 对应端口为低电平。 注: P55 和 P54 两位必须先要在 OPTION 中设置成 I/O 端口后才有效。P54 是带开漏输出状态。							



5 JZ8P8801 主要功能模块

5.1 I/O 功能

JZ8P8801 有 6 组双向 I/O 端口,共 45 个输入/输出,大部分 I/O 可以复用为其它功能。

43 个可编程上拉 I/O 引脚: P0.0~P0.7, P1.1~P1.7, P2.0~P2.7, P3.0~P3.7, P4.0~P4.7, P5.0~P5.3;

40 个可编程漏极开路 I/O 引脚: P0.0~P0.7, P1.1~P1.7, P2.0~P2.7, P3.0~P3.7, P4.0~P4.7, P5.4;

5.1.1 P0 口概述

P0 是一组 8-bit 位可编程 I/O 口, COMS 推挽输出, P0 所有输入配备上拉, 并提供开漏输出选择。

5.1.2 P1 口概述

P1 口是一组 7-bit 位可编程 I/O 口, CMOS 推挽输出, P1 所有输入配备上拉, 并且提供开漏输出选择。

5.1.3 P2 口概述

P2 口是一组 8-bit 位可编程 I/O 口, CMOS 推挽输出, P2 所有输入配备上拉, 并且提供开漏输出选择。

5.1.4 P3 口概述

P3 口是一组 8-bit 位可编程 I/O 口, CMOS 推挽输出, P3 所有输入配备上拉, 并且提供开漏输出选择。

5.1.5 P4 口概述

P4 口是一组 8-bit 位可编程 I/O 口, CMOS 推挽输出, P4 所有输入配备上拉, 并且提供开漏输出选择。

5.1.6 P5 口概述

P5 口是一组 6-bit 位可编程 I/O 口, CMOS 推挽输出, P5<3:0>输入配备上拉, P54 带开漏输出(在 OPTION 中选择)。

5.2 TCC/WDT 和预分频器

5.2.1 TCC 和预分频器

TCC (BANK0_R1)是一个 8-Bit 上行计数器, 只要有时钟就工作。时钟源既可以是内部系统主时钟, 也可以选择内部系统副时钟(32.768KHz), 如果没有分频控制, 每个时钟(Fm/Fs)周期, 计数器实现加 1, 计数溢出可以形成中断信号。

系统提供一个独立的 8-Bit 计数器作为 TCC 的分频器, 由 BANK0_RD (TWC) 寄存器设置 TCC 预分频、时钟源。

TCC 计数溢出可以形成中断信号, TCC 中断设置见“5.13 中断功能”章节。在 IDLE 模式下, TCC 中断可以唤醒电路, 具体设置见“5.12 唤醒功能”章节。

TCC 的中断向量为 003H。

相关寄存器: BANK0_RD

中断寄存器: BANK0_RE、BANK0_RF

5.2.2 WDT 和预分频器



WDT 是一个 8-Bit 上行计数器，有两个使能控制信号控制（OPTION 中的 ENWDT 和 BANK0_RD(TWC) 寄存器中的 WDTE 控制位），须同时打开才能工作。计数时钟由单独的振荡器提供，因此在系统进入到睡眠模式后，WDT 仍然可以运行（如果使能），在正常模式或睡眠模式下，WDT 的溢出均可以使系统复位，溢出时间可通过分频控制。

系统提供一个独立的 8-Bit 计数器作为 WDT 的分频器，由 BANK0_RD (TWC) 寄存器设置 WDT 预分频、使能位。

相关寄存器：BANK0_RD

5.3 Watch Timer 及 Buzzer

5.3.1 Watch Timer 和预分频器

JZ8P8801 内置有一个间隔时间可编程的 Watch Timer，可用于定时中断，中断可从 IDLE 模式唤醒，间隔时间可设置为：1s、0.5s、0.25s、3.91ms。Watch Timer 时钟源既可以是内部系统主时钟的 256 分频，也可以选择内部系统副时钟(32.768KHz)。Watch Timer 的中断向量为 0009H。

Watch Timer 设置步骤：

- (1) 设置 WBC 寄存器的 WTBCS 位，选择时钟源；
- (2) 设置 WBC 寄存器的 WTIS1 与 WTIS0 位，选择中断间隔时间；
- (3) 设置 WBC 寄存器的 WTIE 位使能 Watch Timer，同时也使能 Watch Timer 中断；
- (4) 执行“EIT”指令或查询 WTIF 标志位。

相关寄存器（包含中断）：BANK4_R6

5.3.2 Buzzer 和预分频器

JZ8P8801 的 P21/Buz 引脚可以输出一定频率（0.5kHz、1kHz、2kHz、4kHz）的方波信号来驱动蜂鸣器。Buzzer 时钟源既可以是内部系统主时钟的 256 分频，也可以选择内部系统副时钟(32.768KHz)。

Buzzer 设置步骤：

- (1) 设置 WBC 寄存器的 WTBCS 位，选择时钟源；
- (2) 设置 WBC 寄存器的 BZOF1 与 BZOF0 位，选择输出频率；
- (3) 设置 WBC 寄存器的 BUZZE 位使能 Buzzer 输出功能。

相关寄存器：BANK4_R6

5.4 定时器 1 (Timer1)

定时器 1 是一个下行计数（从初始值计数到 0）的 8 位计数器，定时器 1 原理框图见图 5.1。

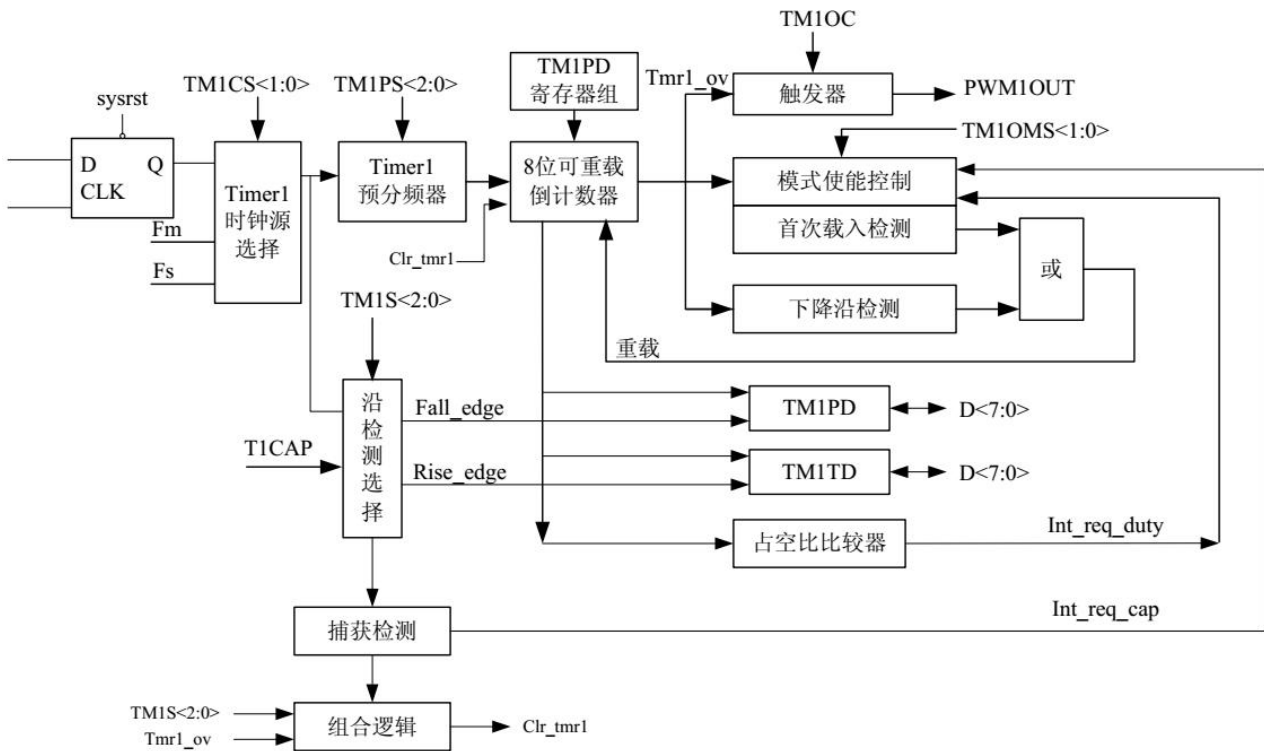


图 5.1 Timer1 原理框图

5.4.1 8 位定时器 1 模式

在 8 位定时器 1 模式，可用内部时钟也可从 P06 口输入外部时钟执行减操作，减计数器的初值会从 TM1PD 自动重装，当减计数器下溢时产生中断且计数器清零，计数器清零之后减操作重新开始。可用于定时中断，中断可从 IDLE 模式唤醒。

定时器 1 的中断时间计算公式： $TIME = \text{时钟源周期} * (\text{TM1PD 预设值} + 1) * \text{分频比}$ 定时器 1 的设置步骤：

(1) 关闭中断 DIT；

(2) 对 TM1C 寄存器设置 TM1S0~ TM1S2，选定工作模式为定时器 1，设置 TM1PS0~ TM1PS2，选定预分频比；

(3) 对 TSR 寄存器设置 TM1CS0~ TM1CS1，选定定时器 1 的时钟源，设置 TMMODE 选择 8/16Bit 定时器，给定时器 TM1PD/(TM1PD, TM2PD) 初始值；

(4) 设置 TSR 寄存器的 TM1S 位启动定时器 1，使能 RIEN 寄存器中的 T1IE 位；

(5) 若需中断，则开中断并下“EIT”。

Timer1 的中断向量为 000CH。

相关寄存器：BANK2_R5、BANK2_R6、BANK2_R7、BANK2_R8

中断寄存器：BANK0_RE、BANK0_RF

5.4.2 8 位 T1OUT 模式

T1OUT 模式与定时器 1 模式不同之处在于，T1OUT 模式增加了溢出中断输出功能，即当定时器 1 计数溢出时，T1OUT 输出引脚 P05 的输出电平翻转，起始电平将由 TM1OC 位决定。其工作时序如图 5.2 所示：

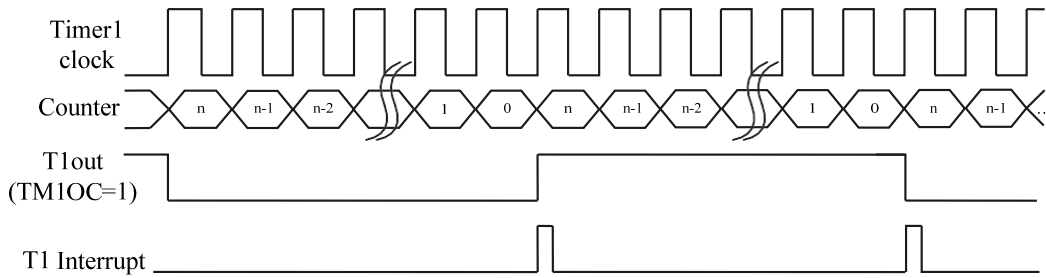


图 5.2 定时器 1 在T1OUT 模式下的工作时序

在 T1OUT 模式中，Timer1 的时钟源于带预分频的内部时钟（Fm）或者带预分频的副时钟（Fs）或者外部时钟（T1CLK），计数器由 TM1PD 初始化，递减为 0 后（即计数完成），由 TM1PD 自动加载初始值给计数器，计数器溢出时，F/F 输出电平交替，反向输出到 P05/T1OUT 引脚。这种模式产生 50%占空比的脉冲输出。程序可以初始化 F/F 和在复位时初始化到“0”。当 P05/T1OUT 输出取反时就产生了一个 Timer1 中断。TSR 寄存器的 TM1OC 位决定 T1OUT 先输出高电平还是低电平。

T1OUT 的设置步骤：

- (1) 对 TM1C 寄存器的 TM1S0~ TM1S2 位选定工作模式为 T1OUT，设置 TM1PS0~ TM1PS2 位选定预分频比；
- (2) 对 TSR 寄存器设置 TM1CS0~ TM1CS1 位选定定时器 1 时钟源，设置 TMMODE 位选择 8Bit 定时器，给定时器 TM1PD 初始值；
- (3) 设置 TSR 寄存器的 TM1S 位启动定时器 1，使能 RIEN 寄存器中的 T1IE 位；
- (4) 若需中断，则开中断并下“EIT”。

T1OUT 的中断向量为 000CH，同 Timer1。

相关寄存器：BANK2_R5、BANK2_R6、BANK2_R7

中断寄存器：BANK0_RE、BANK0_RF

5.4.3 PWM 模式

JZ8P8801 有两路 8 位的 PWM 输出：P05（PWM1）和 P20（PWM2），也可将此两路 PWM 输出叠加为一路 16 位 PWM 输出，16 位 PWM 相关寄存器设置与 PWM1 设置一致。PWM1 由定时器 1 控制，时钟源有带预分频的主时钟（Fm）、副时钟（Fs）和外部时钟（T1CLK），定时器带预置数及重载功能，占空比及周期程序可通过配置 TM1PD 和 TM1DT 寄存器来实现。PWM2 由定时器 2 控制，时钟源有带预分频的主时钟（Fm）、副时钟（Fs），定时器带预置数及重载功能，占空比及周期程序可通过配置 TM2PD 和 TM2DT 寄存器来实现。

定时器 1 的 PWM1 模式可以用来产生不同占空比的方波信号并从 P05 口输出。信号周期和占空比分别由寄存器 TM1PD 和 TM1DT 来控制。同时借助 TM1OC，设置一个周期的 PWM 信号先输出高电平或低电平。

PWM 的三种中断方式见表 5.1。

表 5.1 PWM 的三种中断方式

T1S1	T1S0	中断类型	功能说明
0	0	T1PD 溢出	PWM 的周期溢出时产生中断
0	1	T1PD 溢出	PWM 的脉宽溢出时产生中断
1	X	TM1PD 和 T1TD	PWM 的周期和脉宽溢出时均产生中断（一个周期发生两次中断）

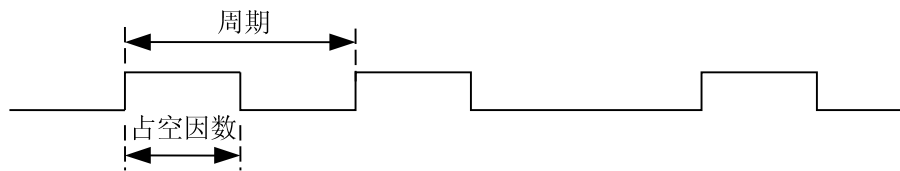


PWM 的设置步骤:

- (1) 设置 TM1C、TM2C 与 TSR 寄存器, 选择相应的定时器为 PWM 模式、定时器的分频比、定时器中断 类型 (若使能 PWM 中断)、定时器的时钟源等;
- (2) 写 TM1PD 或 TM2PD 寄存器的值, 确定该 PWM 通道的周期;
- (3) 写 TM1DT 或 TM2DT 寄存器的值, 确定该 PWM 通道的占空比;
- (4) 使能相应定时器;
- (5) 使能或禁止 PWM 对应的定时器中断, 并下 EIT 或 DIT 指令。

如果使能 PWM 中断, 那么当 TM1C 寄存器 T1S1~T1S0 位设为“00”, 则 PWM 的周期溢出时发生中断; 当 T1S1~T1S0 位设为“01”, 则 PWM 的占空比溢出时发生中断; 当 T1S1~T1S0 位设为“1X”, 则 PWM 的占空比或周期溢出时 CPU 都发生中断, 即一个 PWM 周期 CPU 中断两次。

PWM1 与 PWM2 的中断向量分别为 000CH 与 000FH。



PWM 计算公式:

(1) PWM 周期

$$\text{周期} = (\text{TMXPD}+1) \times (1/\text{Fosc}) \times \text{CLK}/2 \times (\text{TMRX prescale value})$$

其中: TMXPD: 定时器 1 或定时器 2 的周期值;

Fosc: 时钟源频率;

TMRX prescale value: Timerx 预分频比

例如: TMXPD =249; Fosc=4MHz; TMRX=1:4; 则周期 = (249+1)×(1/4) ×2/2×4=250us

(2) PWM 占空比

$$\text{占空比} = \text{TMXDT} \times (1/\text{Fosc}) \times \text{CLK}/2 \times (\text{TMRX prescale value})$$

其中: TMXDT: 定时器 1 或定时器 2 的占空因数设置值;

Fosc: 时钟源频率;

TMRX prescale value: Timerx 预分频比

例如: TMXDT =50; Fosc=4MHz; TMRX=1:4; 则占空比=50×(1/4) ×2/2×4=50us

(3) 16 位计数器

$$\text{TMXPD} = (\text{TM1PD} + \text{TM2PD})$$

$$\text{TMXDT} = (\text{TM1DT} + \text{TM2DT})$$

其中: TM1PD 与 TM1DT 为高字节。

例如: TMXPD =249; Fosc=4MHz; TMRX=1:4; 则周期= (249+1) ×(1/4) ×2/2×4=250us

PWM1 的中断向量为 000CH, 同 Timer1。

相关寄存器: BANK2_R5、BANK2_R6、BANK2_R7、BANK2_R8、
BANK2_R9、BANK2_RA、BANK2_RB

中断寄存器: BANK0_RE、BANK0_RF



5.4.4 8 位捕获模式

时钟源有带预分频的主时钟（Fm）、副时钟（Fs）和外部时钟（T1CLK），定时器带预置数及重载功能，通过寄存器配置可选择上升沿捕获或下降沿捕获。检测到上升沿后，将计数值装载到 T1PD；检测到下降沿后，将计数值装载到 T1TD，程序通过读取 T1PD、T1TD 这 2 组寄存器值，可以计算出被测信号的脉宽及周期。

以下降沿捕捉为例，针对在计数器溢出前能检测到被检测信号的上升沿和下降沿的情况，在检测到输入信号是下降沿时，定时器产生中断，当前计数器中自动载入寄存器 T1PD，计数器置为 FF，重新开始开始计数。需注意的是 T1PD 必须被读出后才能开始下次下降沿和上升沿的捕捉。完整的信号周期捕捉过程是：当被测信号产生上升沿时，计数器将当前值载入寄存器 T1TD，计数器继续计数，在检测到输入信号的下降沿时，将当前计数器的值装载到寄存器 T1PD，随后计数器置为 FF，并产生中断。T1TD 中的值减去 T1PD 中的值即可计算出脉宽及周期针对计数器溢出前未检测到上升沿和下降沿的情况，向下溢出同样会产生中断，捕获中断和 T1 定时器中 断共用中断向量，此时 T1PD 将被自动变为 00H，在中断服务程序中判断 T1PD 是否为 00H 即可判断是否有计数溢出现象。

下降沿捕捉工作时序图如图 5.4 所示：

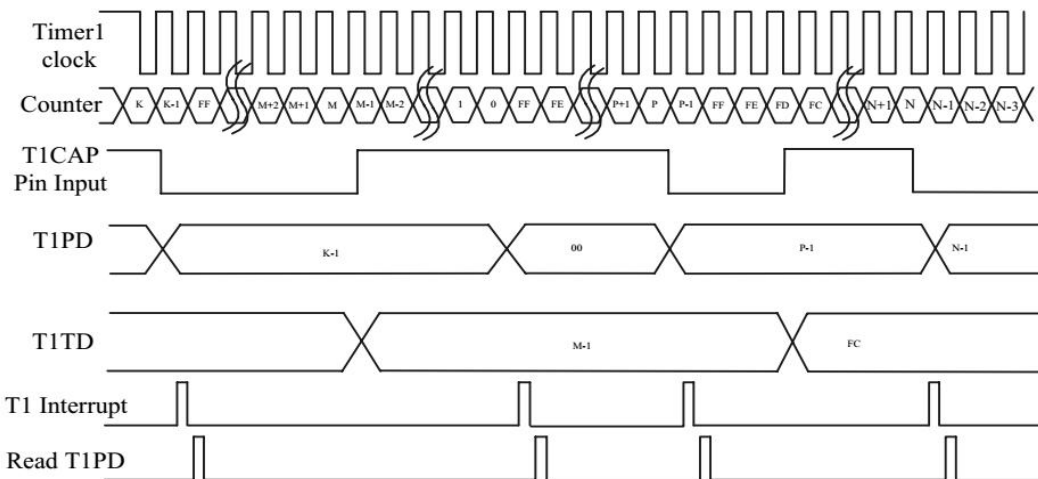


图 5.4 下降沿捕捉工作时序图

捕获的设置步骤：

- (1) 关中断下“DIT”指令；
- (2) 设置 TM1C 寄存器的 TM1S0~ TM1S2 位选定捕获边沿，设置 TM1PS0~ TM1PS2 位选定预分频比；
- (3) 设置 TSR 寄存器中的 TMMODE 位选择 8Bit 定时器，TM1CS0~ TM1CS1 位设置时钟源选择，TM1OMS 位设置输出模式选择，TMRC 位设置定时器 1 与定时器 2 读控制；
- (4) 设置 TSR 寄存器的 TM1S 位启动定时器 1，使能 RIEN 寄存器中的 T1IE 位；
- (5) 开启中断下“EIT”指令。

捕获的中断向量为 000CH，同 Timer1。

相关寄存器：BANK2_R5、BANK2_R6、BANK2_R7、BANK2_R8

中断寄存器：BANK0_RE、BANK0_RF

5.4.5 16 位模式

在 16 位定时器模式，定时器 1 的所有功能变成 16 位，中断向量同定时器 1 的中断向量。

5.5 定时器 2 (Timer2)



JZ8P8801 中的 Timer2 共有 3 种工作模式：8 位定时器模式、8 位 PWM2 模式和用作 SPI 波特率发生器的模式，其中断向量均为 0x000F，工作原理图如图 5.5 所示，后面将详细介绍各工作模式下，功能实现对应的工作原理和寄存器设置。

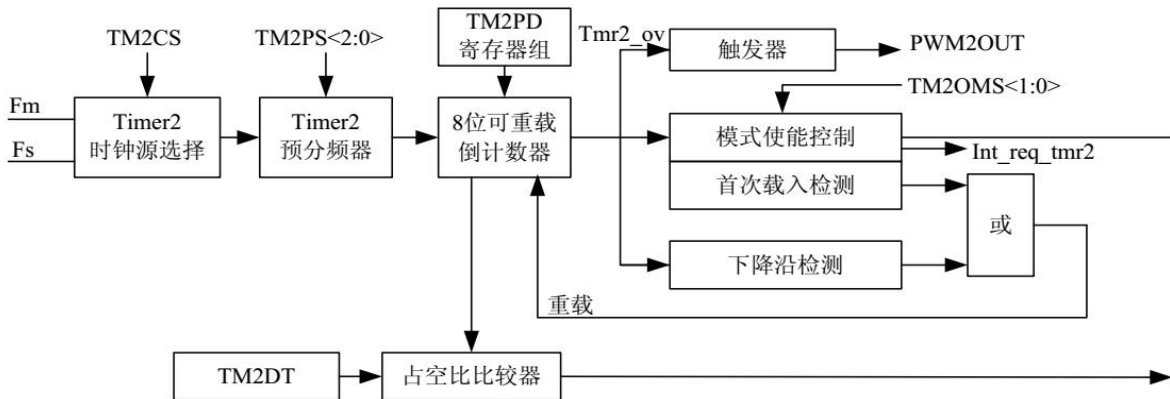


图 5.5 Timer2 原理框图

用户通过设置 TSR 寄存器的 TM2CS 位设置 Timer2 的时钟源，通过设置 TM2C 寄存器的 TM2PS0~ TM2PS2 位可以选择 Timer2 的预分频系数，TM2OMS0~ TM2OMS1 位可以选择 Timer2 的工作模式。

5.5.1 8 位定时器 2 模式

8 位定时器 2 模式，用内部时钟执行减操作，减计数器的值会从 TM2PD 自动重装，当减计数器下溢时产生中断且计数器清零，计数器清零之后减操作重新开始。可用于定时中断，中断可从 IDLE 模式唤醒。

定时器 2 的中断时间计算公式：

$$\text{TIME} = \text{时钟源周期} * (\text{TM2PD 预设值} + 1) * \text{分频比}$$

定时器 2 的设置步骤：

- (1) 关闭中断 DIT；
- (2) 对 TM2C 寄存器设置 TM2OMS<1:0>，选定工作模式为定时器 2 工作模式，设置 TM2PS<2:0>，选定预分频比；
- (3) 对 TSR 寄存器设置 TM2CS，选定定时器 2 的时钟源，设置 TMMODE 选择 8bit 定时器，给定时器 TM2PD 初始值；
- (4) 设置 TM2C 寄存器的 TM2S 位启动定时器 2，使能 TM2IE 位使能 Timer2 中断；
- (5) 若需中断，则开中断并下“EIT”。

Timer2 的中断向量为 000FH。

相关寄存器：BANK2_R6、BANK2_R9、BANK2_RA

中断寄存器：BANK0_RE、BANK0_RF

5.6 LVD（低压检测）功能

LVD 低压检测电路检测电源电压与预设电压检测点的关系。

当使能 LVD 后，LVD 模块将根据预设电压检测点设置相应影响低压标志位 LVDF 和 LVDIF 中断标志位：

1) LVDF=1 或 LVDIF=0（使能 LVD 中断）时，标志着未检测到低压或低压检测功能关闭，即 vdd 高于 设置的检测点；

2) LVDF=0 或者 LVDIF=1（使能 LVD 中断）时，标志着检测到低压，即 vdd 低于 设置的检测点。程序可检测 LVD 标志位 LVDF 来判断电源的稳定性。



LVD 可形成中断，用户也可以利用 LVD 的中断功能监控电压的稳定性（当检测到低压时，触发中断）。

LVD 中断设置见 5.13.2 节。

LVD 模块可在睡眠模式下工作，可充当系统唤醒源（当检测到低压时，触发唤醒）。

LVD 睡眠唤醒设置 见 5.12.1 节。

Timer2 的中断向量为 001BH。

相关寄存器：BANK0_R3、BANK0_R4；

中断寄存器：BANK0_RE、BANK0_RF。

5.7 驱动 LED 功能

JZ8P8801 有 8 个高电流驱动 IO 口 P2 口，可直接驱动 LED。LED 驱动口的设置步骤：

- 1) 使能驱动 LED 功能；
- 2) 设置 P2 口的数据寄存器为逻辑“1”或逻辑“0”。

相关寄存器：BANK4_R5、BANK0_R9。

5.8 ADC 功能

5.8.1 ADC 功能概述

ADC 模块主要包含 12 个外部模拟信号输入通道和 1 个内部输入通道，1 个外部参考电压输入通道，4 个控制寄存器组（ADCC,ADICH,ADICL, EIESL），2 个数据寄存器组（ADDH,ADDL）以及一个 12bit 的逐次逼近 ADC。

ADC 模块利用逐次逼近的方式将一个未知的模拟信号转换为数值，转换结果将写入 ADCH,ADCM 以及 ADCL 寄存器。输入通道的选择由 ADCR 寄存器的低三位 ADIS<2:0> 决定。

这是一个 12-bit 的逐次逼近的模数转换模块（SAR ADC）。有两个参考电压可供选择，分别是内部参考电源电压以及外部输入参考电压（通过 ADICH 寄存器 ADREF）。使用外部参考电压远比使用内部参考电源电压精度高。

5.8.2 ADC 功能应用说明

■ ADC 通道选择

ADIS<2:0>选择 ADC 输入通道 ADIN12~ADIN0。其中 ADIN12 通道为内部 0.25VDD。ADC 在自校准与

TEST 状态时，ADIN12~ADIN0 通道输入全部禁止，输入的模拟信号接地。

■ ADC 时序控制

ADC 过程包含采样、转换和标志位的产生，因此 ADC 时序上是一个产生 ADC 采样时钟、逐次逼近时钟 以及 ADC 转换完成后的中断请求信号的过程，即对应采样时间，转换时间，和标志产生时间。

■ ADC 采样时间

输入源阻抗及内部采样电路阻抗直接影响采样保持电容的充电需求时间。应用程序可以控制采样时间来 满足特定的精度要求。建议模拟信号的最大输入阻抗不超过 10kΩ

（VDD=5V）。在选择模拟输入通道后，AD 转换开始之前，采样时间必须被满足。

■ AD 转换时间

设定 ADCK<1:0>后即改变了 AD 工作的时钟，也就确定了 AD 转换的时间，这样可以允许 MCU 工作在 最大频率下，也尽可能不牺牲 AD 转换的精度。

整个转换时间=采样时间 2clk+转换时间 12clk+转换完成标志 1clk。



■ 睡眠模式下 ADC 模块的工作：

为了获得更加精确的 ADC 转换值并且降低功耗，在睡眠模式下 ADC 模块仍然工作。如果在 AD 转换过程中执行 SLEEP 指令，所有系统动作均会停止，除了系统时钟、TCC、TMR1、TMR2、TMR3、WDT（若使能）。

AD 转换完成后：

- 1) ADCC (BANK3 R9) 寄存器的 ADCS 位被硬件清零；
- 2) RIFG (BANK0 RF) 寄存器的 ADIF 位被置“1”（ADIE 设置为 1）；
- 3) 系统被唤醒（前提是 EIESL 寄存器的 ADWK 位设置为 1，且 WDT 关闭）；
- 4) 如果执行了 DIT 指令，唤醒后执行下一条指令；
- 5) 系统进入睡眠模式前，如果执行了 EIT 指令，并且 ADIE 设置为 1，唤醒后跳转到中断向量地址（地址为 0x0012）；
- 6) 系统没有睡眠，如果执行了 EIT 指令，并且 ADIE 设置为 1，AD 转换完成后直接跳转到中断向量地址（地址为 0x0012）。

■ ADC 转换设置步骤：

- 1) 通过 ADICH (BANK3 RA) 寄存器的 ADREF 定义 AD 输入参考电压输入选择和通道；通过 ADICH (BANK3 RA) 寄存器的 ADE<11:8>和 ADICL (BANK3 RB) 寄存器的 ADE<7:0>定义端口的端口特性（数字输入/出、模拟信号通道）；
- 2) 通过 ADCC (BANK3 R9) 寄存器设置 AD 工作模式：
 - (1) 通过 ADIS<2:0>选择 ADC 输入通道；
 - (2) 通过 ADCK<1:0>定义 AD 转换时钟频率；
 - (3) 选择 ADC 参考电压；
 - (4) 通过将 ADPC 位置“1”让 ADC 模块开始工作；
- 3) 如果需要 AD 转换完成唤醒功能，将 ADWK 位置“1”；
- 4) 如果需要 AD 转换完成中断功能，将 ADIE 位置“1”；
- 5) 如果需要 AD 转换完成中断功能，执行 EIT 指令；
- 6) 将 ADCS 位置“1”；
- 7) 执行 SLEEP 指令或者查询特定位；
- 8) 等待系统唤醒或者 ADCS 位被清零、ADIF 位被置一或者 ADC 中断发生；
- 9) 读取 ADDH/ADDL 寄存器数据，如果此时 ADC 输入通道改变，ADC 数据寄存器的值会被清零；
- 10) 将 AD 转换完成中断标志位 ADIF 清零；
- 11) 如果要进行下一次 AD 转换，重复以上步骤，至少要等待两个 TAD 再进行下一次 AD 转换；

注：为了获得更为精确的转换值，在转换期间，应当尽量避免 I/O 口上有数据传输。

■ ADC 转换精度调整：

ADC 可以通过设置 ADDL 寄存器来校准以调整转换精度，一般可通过“0”输入转换结果来确定偏移量。确定偏移量之后，可通过 ADDL 寄存器 VOF<2:0>设置补偿电压，SIGN 位设置正/负极性补偿，CALI 位校准使能。

ADC 的中断向量为 0012H。

相关寄存器：BANK3_R9、BANK3_RA、BANK3_RB、BANK3_RC、
BANK3_RD、BANK3_RF；

中断寄存器：BANK0_RE、BANK0_RF。



5.9 UART 功能

5.9.1 UART 功能概述

JZ8P8801 的 UART 模块支持全双工传输（发送电路与接收电路独立），接收和发送电路都带有缓存。UART 数据格式符合通用的 UART 协议，且数据位长度可选，接受与发送的数据均支持反相处理（软件可配）。支持 奇偶校验错误检测、溢出错误检测（接收到一帧数据时，前一帧的数据是否还未被读取）和帧错误检测（停止位是否错误），当检测到有错误时，会产生中断（如果使能）。当接收到/发送完一帧数据后，也可产生中断。UART 功能框图见图 5.6 所示。

UART 的波特率发生器来源于系统时钟和 Timer1。采用系统时钟为时钟源时，采用主时钟产生的波特率 为常见的波特率，具体见 4.6.1 节，但在 idle 模式下则停止工作，因此不能唤醒。采用副时钟产生的波特率计算方法同 4.6.1 节所述，在 idle 模式下能正常工作，且能唤醒。采用 Timer1 是作为波特率发生器时，同样 timer1 的时钟源可以选作主时钟或副时钟，当选择为副时钟时，可以在 idle 模式下唤醒。

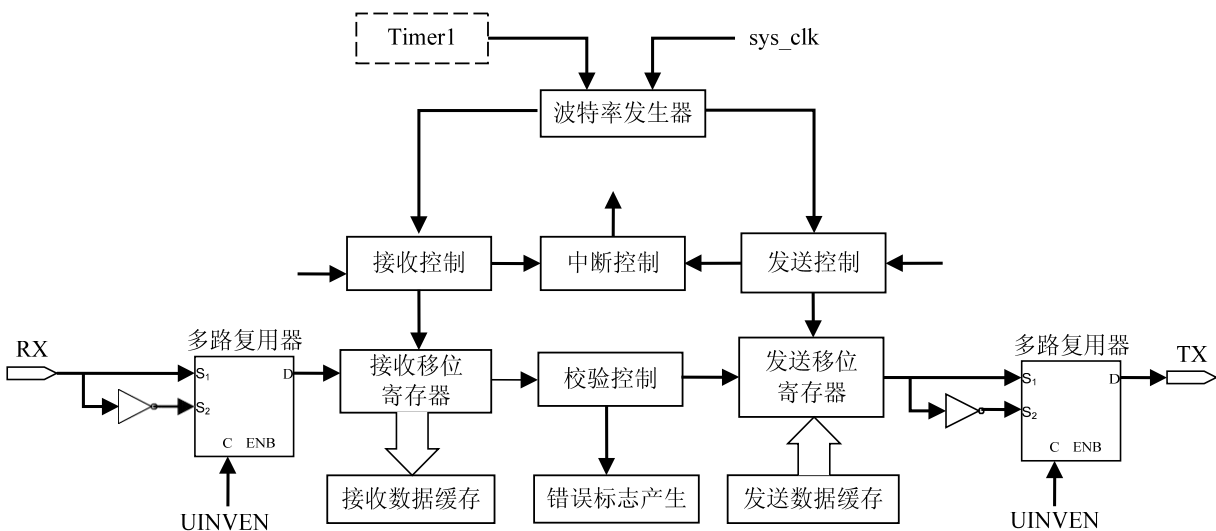


图 5.6 UART 功能框图

UART 有 3 种传输模式。模式 1（7 位数据）和模式 2（8 位数据），允许增加校验位。模式 3（9 位数据）无校验位。每种模式下的数据格式如图 5.7 所示。

数据格式	奇偶校验	1	2	3	4	5	6	7	8	9	10	11	
7位数据模式	无	START	7bit数据							STOP			
	有	START	7bit数据							Parity	STOP		
8位数据模式	无	START	8bit数据						STOP				
	有	START	8bit数据						Parity	STOP			
9位数据模式	无	START	9bit数据							STOP			

图5.7 UART 的3种传输模式下数据格式



5.9.2 UART 功能应用说明

UART 的通讯有发送、接收、全双工通讯三种。和其他的 IC 通讯时，要求波特率、通讯格式等各参数一致。

具体设置步骤如下：

- 1、设置 UARTC1 寄存器选择 UART 的数据传输模式、波特率；
- 2、设置 UARTS 寄存器使能或禁止奇偶校验，并选择奇校验或偶校验；
- 3、设置 UARTC2 寄存器使能 UART 功能，从而无需再设置 P44、P45 口为输入或输出口；
- 4、若有需要可以使能中断；
- 5、置 UARTC1 的 TXE 位或 UARTS 的 RXE 位为 1，启动发送或接收数据；
- 6、如果要发送数据，写数据到 UARTRD 寄存器中；
- 7、等待 UARTC1 的 UTBE 位（写数据）或 UARTS 的 URBF 位（读数据）为 1，或等待 UART 中断发生（若使能 UART 中断）；
- 8、如果是接收数据，读校验位并读 UARTRD 寄存器的值。若要重复发送或接收数据，跳到步骤 5。

UART 的中断向量为 0015H。

相关寄存器：BANK3_R5、BANK3_R6、BANK3_R7、BANK3_R8、BANK5_R6

中断寄存器：BANK0_RE、BANK0_RF

5.10 SPI 功能

5.10.1 SPI 功能概述

同步串行外设接口（SPI）可以实现芯片与外部设备以半/全双工、同步串行方式通信。此接口可以配置成主模式和从模式，主模式下波特率时钟可配置。在主模式下，它要为外部从设备（从机）提供通信时钟（SCK），并且可以外扩多个从机。当本机作为从机时，片选信号/CS（P37）来选择某一时刻与哪个从机通信。其与外部设备的连接图见图 5.8。

SCK/P36：同步串行通信时保证同步传输的时钟，由主机发送给从机。

MOSI：主机发送数据时从 P35 口发送出去，如果从机也为 JZ8P8801 单片机，则接收端口为 P34 口。

MISO：主机接收数据时从 P34 口接收，如果从机也为 JZ8P8801 单片机，则发送端口为 P35 口。也就是说 P35 口始终为发送端口，P34 口始终为接收端口。

/CS：当本机作为从机时，只有使 SBR5<2:0>=111 时，即使能从机且/CS（P37）口使能，同时端口上为低电平，才能使本机工作在从模式下。

当设备工作在主机模式下，主机需要向从机提供 SCK 实现同步，SCK（P36）口自动设为输出口，同时从 P34 口发送数据，P35 口接收数据。当设备工作在从机模式下，主机会向从机输入时钟，SCK（P36）口自动设为输入口。

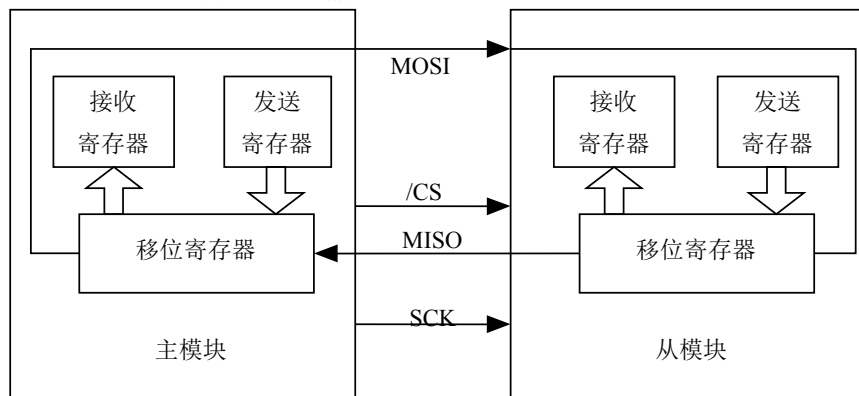




图 5.8 SPI 设备主机与从机连接图

JZ8P8801 中的 SPI 支持 8-bit 数据传输, 用户可选择高位传输优先或者低位传输优先; 配置 SDO 和 SCK 为开漏输出或者推挽输出; 数据移入移出可分别配置为时钟上升沿时刻或下降沿时刻, 溢出产生中断。

5.10.2 SPI 功能应用说明

SPI 工作的设置步骤:

1. 设置 SPIS (SPI 状态寄存器) 的 DSC 和 TD<1:0> 分别选择数据移位方向与选择 SDO 输出延时;
2. 设置 SPIC (SPI 控制寄存器) 的 CES 位来选择 SPI 数据传输的时钟沿, 设置 SDOOC 位选择 SDO 输出状态保持, 设置 SBRS<2:0> 来选择 SPI 的波特率和工作模式 (主机或从机);
3. 写数据到 SPIWBUF (若要写数据到 SPI 总线);
4. 如果需要, 使能 SPI 中断;
5. 使能 SPIC 寄存器的 SPISE 位, SPI 开始传输;
6. 等待 SPISE 位为 0 (发送一组数据完成) 或 RBF 位为 1 (接收一组数据完成) 或 SPI 中断发生 (若使能中断), 并读取 SPIRBUF 寄存器 (若从 SPI 总线接收数据), 若要继续传送或接收数据, 跳到步骤 3。

下面以本机工作在从模式发送数据为例, 设置 SDOOC=1 (数据传输结束后, SDO 保持为低电平); 设置 CES=0 (上升沿移出, 下降沿移入); 设置 DSC=0 (高位优先移出), 从机发送数据为 AA, 外面主机启动 SPI 后发送时钟到从机 (本机), 且发送低电平片选信号后, 从机发送开始, 图 5.9 为 SPI 工作时序图。

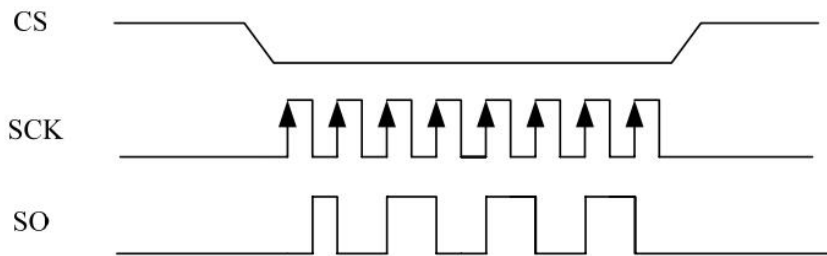


图 5.9 SPI 工作时序图

SPI 的中断向量为 0018H。

相关寄存器: BANK2_RC、BANK2_RD、BANK2_RE、BANK2_RF

中断寄存器: BANK0_RE、BANK0_RF

5.11 LCD 驱动功能

5.11.1 LCD 功能概述

当液晶显示器件显示像素较多的情况下, 常采用动态驱动方式驱动液晶。如点阵性液晶显示器件, 把水平一组显示像素的背电极连在一起引出, 称为行电极, 又称公共级, 用 COM 表示; 把纵向一组显示像素的段电极连在一起引出, 称为段电极, 又称列电极, 用 SEG 表示。每个液晶显示像素由其所在的行与列的位置唯一确定。

用本电路的 LCD 模块最大支持 8COM×23SEG (LCD 脚与 I/O 脚复用)。LCD 电路由 LCD 驱动模块、LCD RAM、段输出模块、COM 输出模块和 LCD 偏置电路组成, 如图



5.10 所示。LCD 模块在电路处于 normal、green 和 idle 模式时都能工作。LCD 显示的 duty、bias、SEG 引脚数目、COM 引脚数目和帧频等参数均可由 寄存器配置。

LCDCR 是 LCD 驱动器的控制寄存器，包括对 LCD 使能和禁止，偏置 (1/2、1/3、1/4)，占空比 (静态，1/3、1/4、1/8) 和帧频率的控制。LCDAR 是 LCD RAM 地址控制寄存器。LCDBUF 是 LCD RAM 数据缓冲器。

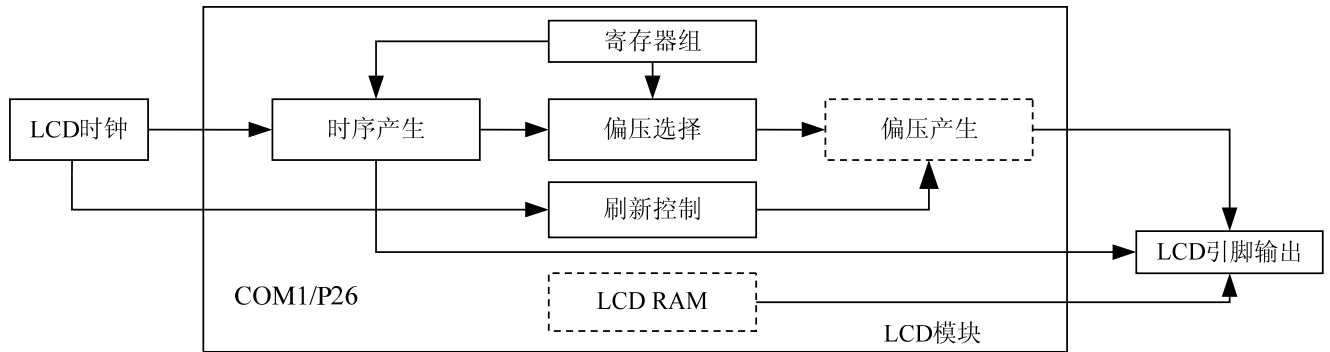


图5.10 LCD 工作原理图

液晶显示的动态驱动法是循环地给每行电极施加选择脉冲，同时所有列电极给出该行像素的选择或非选择的驱动脉冲，从而实现某行所有显示像素的驱动。这种行扫描是逐行顺序进行的，循环周期短。

在一帧中每行的选择时间是均等的，假设一帧的扫描行数为 N，扫描一帧的时间为 1，那么一行所占用的选择时间为 1/N，该值称为占空比系数，即 1/N duty。可通过寄存器 LCDCR 的 DUTY<1:0>来选择。

在动态驱动方式下，某一液晶像素有选择点、非选择点、半选择点三种情况：选择点（呈显示效果）：是由施加在行电极上的选择电压与施加在列电极上的选择电压的合成来实现的，

需满足显示所需电压值 VLCD 才是选择点。非选择点是：与选择点不在同一行，也不在同一列的点。

半选择点：与像素点在同一行或同一列的点，它们均有选择电压加入。当该点的电场电压处于液晶的预值电压附近时，屏上会出现不应有的半显示现象，使得显示对比度下降，该现象称为“交叉响应”。因此通过 将液晶的驱动电压分成若干档（设为 k 档），适当提高非选择点的电压，如 1/k 倍的选择电压，从而降低半选点两电极的电压差，即偏压法来调整显示对比度的尺度，可通过 LCDCR 寄存器的 BIAS<1:0>进行设置，需要根据液晶的实际参数设置 Bias。

下面以 1/3bias, 1/4duty 为例，向 LCDRAM 中写入 A5，由于是 1/4duty，因此只能点亮 COM3~COM0 对应的段，见表 5.2，因此只有(COM2, SEGN)和 (COM0, SEGN)能点亮。B 类波形具体波形见图 5.11，A 类 波形具体波形见图 5.12。

表 5.2 液晶像素选择点

LCD 地址	LCD 数据缓存器				SEG
00H	0	1	0	1	SEG0
COM	COM3	COM2	COM1	COM0	

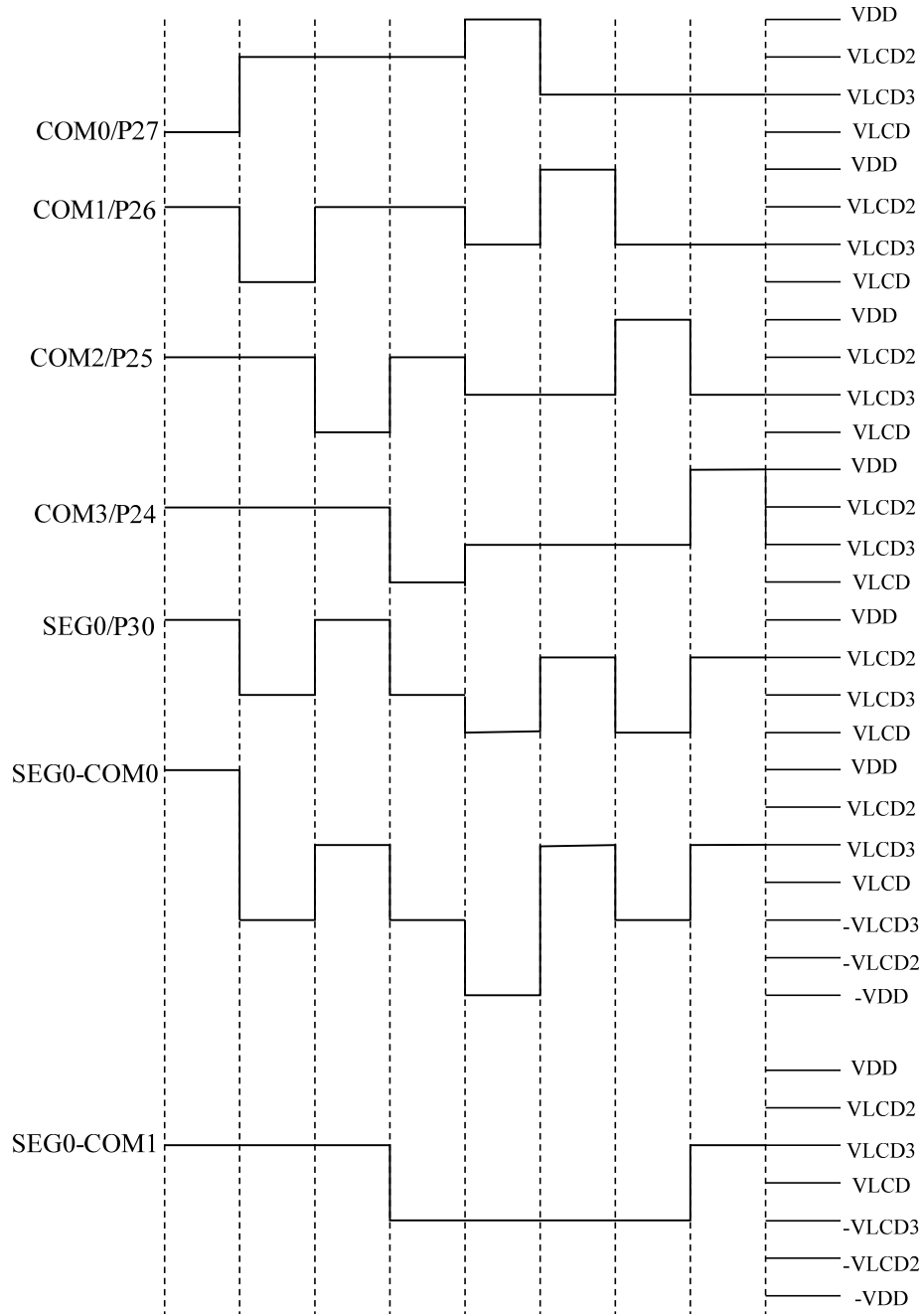


图 5.11 LCD 波形显示 (1/3bias, 1/4duty, B 类波形, LCDRAM=0XA5)

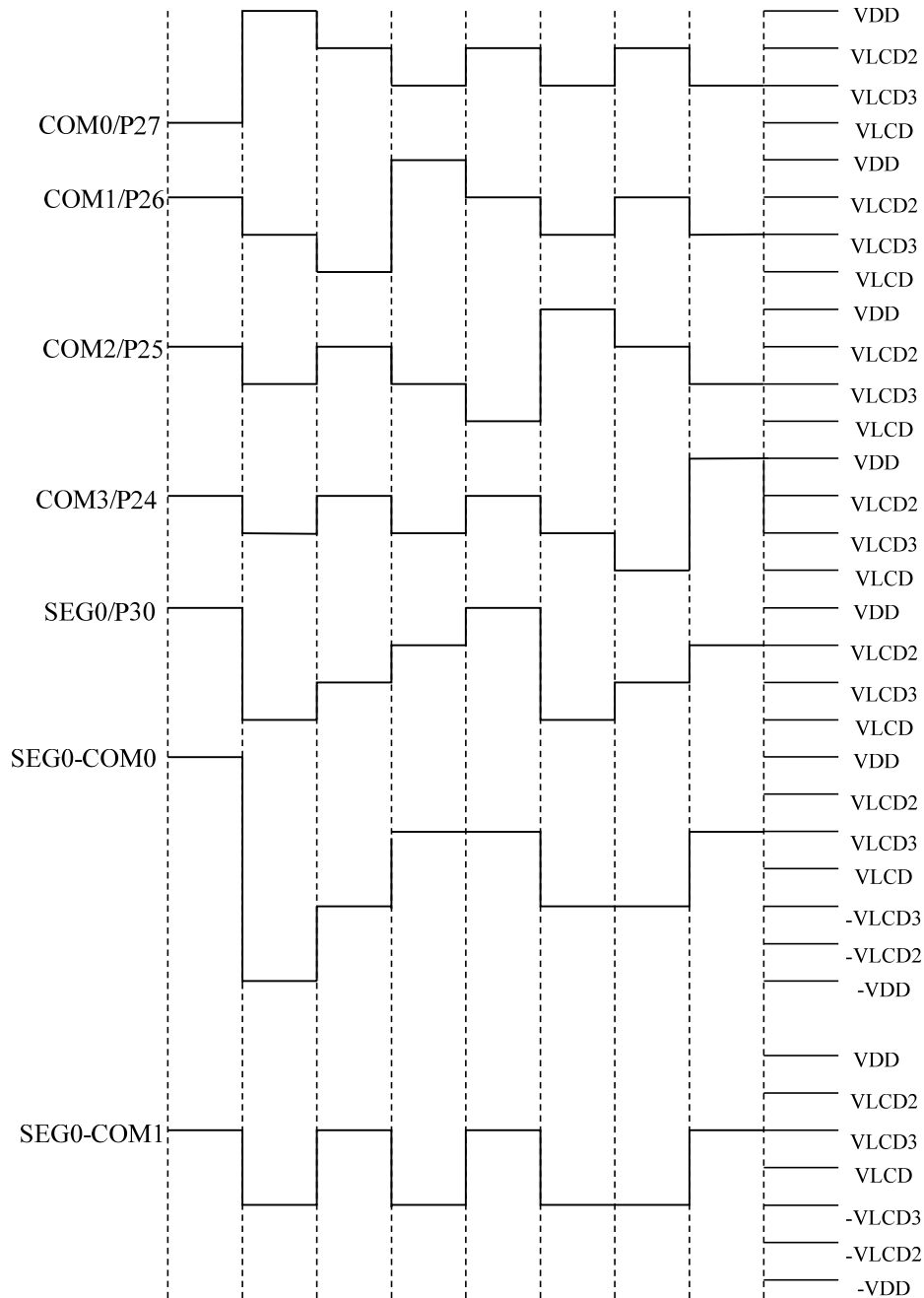


图 5.12 LCD 波形显示 (1/3bias, 1/4duty, A 类波形, LCDRAM=0XA5)

5.11.2 LCD 功能应用说明

LCD 工作的设置步骤:

1. 根据液晶的实际参数设置 Duty 和 Bias;
2. 通过设置地址寄存器 (LCDAR) 和数据寄存器 (LCDBR) 可点亮 LCD, 即给出一个地址并置 LCDBR 对应的位为 1, 即可点亮 LCD 一段或一个点;
3. 电路的电压应与液晶的工作电压一致或接近, 过高可能会产生鬼影并会影响 LCD 寿命; 过低可能会影响显示效果;
4. 当电路中只有主时钟 Fm 在工作时, 需通过设置 LCDVCR 寄存器 LCDC1~LCDC0 两位来选择 LCD 时钟; 通过设置 LCDVC<2:0>位可得到不同对比度的显示。

相关寄存器: BANK1_R5、BANK1_R6、BANK1_R7、BANK1_R8、
BANK1_R9、BANK1_RA、BANK1_RB、BANK1_RC



5.12 睡眠与唤醒

当系统收到 SLEEP 指令后：

若 $idle=0$ ，系统进入睡眠模式，仅可通过唤醒源进行唤醒，详见 5.12.1.1 节——睡眠模式唤醒；若 $idle=1$ ，系统进入空闲模式，可通过中断对系统进行唤醒，详见 5.12.1.2 节——Idle 模式唤醒。

5.12.1 睡眠模式唤醒

执行 SLEEP 指令后，系统进入睡眠模式($IDLE=0$)，系统时钟停止，所有模块停止工作，WDT（若使能）除外。在 AD 转换过程中如果执行 SLEEP，则系统时钟、TCC、TMR1、TMR2、WDT（若使能）继续运行。

3 种唤醒方式：1) WDT 溢出复位；2) AD 转换完成；3) 外部中断引脚唤醒 第一种方式唤醒使得系统进行了一次复位，因此，终止了睡眠前的执行的所有程序；后两种唤醒方式则保持了程序的延续性。可以通过程序选择继续原有的进程（SLEEP 前执行 DISI）或执行相应的跳转(SLEEP 前执行 ENI)，并打开相应的使能控制位，跳转到中断向量的位置。

如果需要执行 AD 转换完成的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1、运行 AD(配置 ADC 并开始转换)；
- 2、打开唤醒使能信号 ($ADWE=1$)；
- 3、关闭 WDT 软件使能 ($WDTE=0$)；
- 4、进入睡眠模式（执行 SLEEP）。

经过以上设置后，只要 AD 转换完成，系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行 ENI，并且打开 AD 转换完成中断使能 ($ADIE=1$)，则唤醒前将 PC 压栈，唤醒后 PC 指向中断向量地址 $0x0012$ ，待唤醒子程序执行完毕，继续原来的进程；
- 2、如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程。

如果需要执行外部中断的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1、选择相应引脚作为外部中断引脚；
- 2、打开唤醒使能信号 ($EXWE=1$)；
- 3、关闭 WDT 软件使能 ($WDTE=0$)；
- 4、进入睡眠模式（执行 SLEEP）。经过以上设置后，只要相应的外部中断引脚有上升/下降沿来临并且满足持续时间要求，系统就可以被唤

醒。唤醒后需要注意：

- 1、如果睡眠前执行 ENI，并且打开相应外部中断引脚的中断使能 ($EXIE=1$)，则唤醒前将 PC 压栈，唤醒后 PC 指向 $0x006$ ，待唤醒子程序执行完毕，继续原来的进程；
- 2、如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程

5.12.2 Idle 模式唤醒

执行 SLEEP 指令后，系统进入 IDLE 模式($IDLE=1$)，系统主时钟 F_m 停止，副时钟 F_s 继续工作，WDT（若使能）继续工作。

Idle 模式下共有 10 种唤醒方式：在睡眠模式唤醒方式的基础上，增加了 TCC 溢出中断唤醒、Timer1/2 中断唤醒、UART/SPI 中断唤醒、LVD 中断唤醒及 Watch Timer 中断唤醒 7 种方式（新增的 7 种方式必须打开相应中断使能）。



如果需要执行 TCC 溢出中断的唤醒方式，需要在进入 IDLE 模式前执行以下步骤：

- 1、配置好 TCC 后，打开 TCC 溢出中断使能；
- 2、关闭 WDT 软件使能 (WDTE=0)；
- 3、进入 IDLE 模式 (IDLE=1, 执行 SLEEP)。

经过以上设置后，只要 TCC 计数器溢出，系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行 ENI，则唤醒前将 PC 压栈，唤醒后 PC 指向 0X03，待唤醒子程序执行完毕，继续原来的进程；
- 2、如果睡眠没有打开全局中断使能，则唤醒后 PC 继续睡眠前的进程。

如果需要执行 Timer1/2 中断的唤醒方式，需要在进入 IDLE 模式前执行以下步骤：

- 1、配置好 Timer1/2 并打开相关中断使能；
- 2、关闭 WDT 软件使能 (WDTE=0)；
- 3、进入 IDLE 模式 (IDLE=1, 执行 SLEEP)。

经过以上设置后，只要相应中断发生，系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行 ENI，则唤醒前将 PC 压栈，唤醒后 PC 指向相应中断地址，待唤醒子程序执行完毕，继续原来的进程；
- 2、如果睡眠没有打开全局中断使能，则唤醒后 PC 继续睡眠前的进程。

如果需要执行 UART/SPI 中断的唤醒方式，需要在进入 IDLE 模式前执行以下步骤：

- 1、配置好 UART/SPI 并打开相应中断使能；
- 2、关闭 WDT 软件使能 (WDTE=0)；
- 3、进入 IDLE 模式 (IDLE=1, 执行 SLEEP)。

经过以上设置后，只要相应中断发生，系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行 ENI，则唤醒前将 PC 压栈，唤醒后 PC 指向相应中断地址，待唤醒子程序执行完毕，继续原来的进程；
- 2、如果睡眠没有打开全局中断使能，则唤醒后 PC 继续睡眠前的进程。

如果需要执行 LVD 低压检测的唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1、打开 LVD 软件使能 (LVDEN=1)，并且打开 LVD 中断使能 (LVDIE=1)；
- 2、关闭 WDT 软件使能 (WDTE=0)；
- 3、进入睡眠模式 (执行 SLEEP)。

经过以上设置后，只要 LVD 检测到低压信号，系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行 ENI，则唤醒前将 PC 压栈，唤醒后 PC 指向 0X1B，待唤醒子程序执行完毕，继续原来的进程；
- 2、如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程。

如果需要执行 Watch Timer 中断唤醒方式，需要在进入睡眠模式前执行以下步骤：

- 1、打开 Watch Timer 使能及中断使能 (WTIE=1)
- 2、关闭 WDT 软件使能 (WDTE=0)
- 3、进入睡眠模式 (执行 SLEEP)

经过以上设置后，只要到达设置的 Watch Timer 间隔时间，系统就可以被唤醒。唤醒后需要注意：

- 1、如果睡眠前执行 ENI，则唤醒前将 PC 压栈，唤醒后 PC 指向 0X09，待唤醒子程序执行完毕，继续原来的进程；
- 2、如果睡眠前没有打开中断使能，则唤醒后 PC 继续睡眠前的进程。



5.13 中断功能

18 个中断源 (9 个中断入口)

- (1) TCC 溢出中断
- (2) 10 个外部中断
- (3) Watch Timer 中断
- (4) Timer1 溢出中断
- (5) Timer2 溢出中断
- (6) ADC 转换完成中断
- (7) UART 传输/接收/错误中断
- (8) SPI 传输/接收/错误中断
- (9) LVD 中断

中断向量见表 5.3

表 5.3 中断向量表

中断源	中断向量	中断优先级
TCC 溢出中断	003H	1
10 个外部中断	006H	2
Watch Timer 中断	009H	3
Timer1 溢出中断	00CH	4
Timer2 溢出中断	00FH	5
ADC 转换完成中断	012H	6
UART 传输/接收/错误中	015H	7
SPI 传输/接收/错误中断	018H	8
LVD 中断	01BH	9

中断过程示意图见图 5.13:

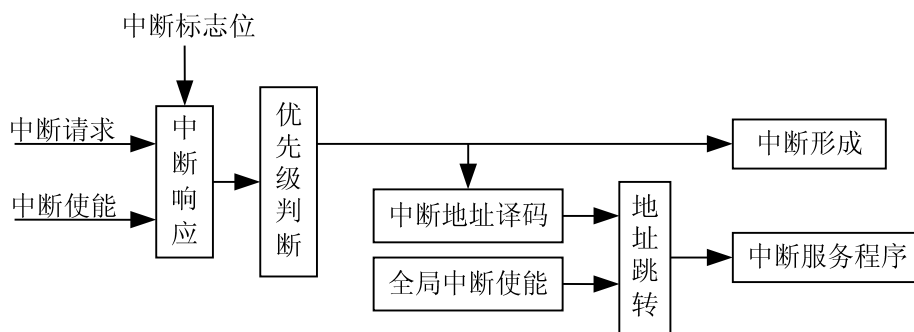


图 5.13 中断过程示意

5.14 复位功能

JZ8P8801 中有 7 个复位源，具体如下：

- 1、 P11 作为 RESET 出现低电平
- 2、 LVR 复位
- 3、 WDT 溢出



- 4、OPTION 误载入（系统 option load 过程中）
- 5、OPTION 数据出错（系统运行中）
- 6、TEST pin 拉低（需 option 使能，作用基本同 P11）

一旦复位源发生，复位过程分两个阶段工作：

- 1.第一阶段，复位时钟为 WCKOUT，主要完成 Option load（option 地址 0x0,0x1,0xf）和 LCD 端口 复位（在较低压复位时，才执行）
- 2.第二阶段，时钟切换为 Fs，根据复位时 option-HLFS 选项的不同，唤醒时间也有差异：
 HLFS=0,计数至 1F 后结束系统复位（复位后 sub osc 作为系统时钟）
 HLFS=1 计数至 7F 后结束系统复位(复位后 main osc 作为系统时钟)

复位完成后：

- 1、PC 被置为全 0；
- 2、所有 IO 口引脚被置为输入模式；
- 3、TCC/WDT 定时器和各自的预分频器被清除；
- 4、RAM BANK 选择寄存器和 ROM 页面选择寄存器均被清零，即默认是 BANK 0 和 PAGE 0。

其他寄存器初始态如表 5.2 所示

表 5.4 唤醒，复位后寄存器状态一览表

地址	名称	类型	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0
0x00	R0 (RIND)	名称	/							
		上电	U	U	U	U	U	U	U	U
		复位	P	P	P	P	P	P	P	P
		唤醒	P	P	P	P	P	P	P	P
0x01	R1 (RTC)	名称	/							
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
0x02	R2 (PC)	名称	/							
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	执行下一条指令							
0x03	R3 (RCFG)	名称	LV DEN	LVDVS1	LVDVS0	T	P	Z	DC	C
		上电	0	0	0	1	1	U	U	U
		复位	0	0	0	T	T	P	P	P
		唤醒	P	P	P	T	T	P	P	P
0x04	R4 (RAS)	名称	LVDF	BNC	RAS[5]	RAS[4]	RAS[3]	RAS[2]	RAS[1]	RAS[0]
		上电	0	1	U	U	U	U	U	U
		复位	0	1	P	P	P	P	P	P
		唤醒	P	P	P	P	P	P	P	P
Bank0	R5 (RABS)	名称	0	0	0	0	0	RBS2	RBS1	RBS0
0x05		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P



JZ8P8801 数据手册

Bank0 0x06	R6 (RPS)	名称	0	0	0	0	0	PS2	PS1	PS0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	0	0	0	0	0	0	0	0
Bank0 0x07	R7 (P0)	名称	P07	P06	P05	P04	P03	P02	P01	P00
		上电	1	1	1	1	1	1	1	1
		复位	1	1	1	1	1	1	1	1
		唤醒	P	P	P	P	P	P	P	P
Bank0 0x08	R8 (P1)	名称	P17	P16	P15	P14	P13	P12	P11	P10
		上电	1	1	1	1	1	1	1	1
		复位	1	1	1	1	1	1	1	1
		唤醒	P	P	P	P	P	P	P	P
Bank0 0x09	R9 (P2)	名称	P27	P26	P25	P24	P23	P22	P21	P20
		上电	1	1	1	1	1	1	1	1
		复位	1	1	1	1	1	1	1	1
		唤醒	P	P	P	P	P	P	P	P
Bank0 0x0A	RA (P3)	名称	P37	P36	P35	P34	P33	P32	P31	P30
		上电	1	1	1	1	1	1	1	1
		复位	1	1	1	1	1	1	1	1
		唤醒	P	P	P	P	P	P	P	P
Bank0 0x0B	RB (P4)	名称	P47	P46	P45	P44	P43	P42	P41	P40
		上电	1	1	1	1	1	1	1	1
		复位	1	1	1	1	1	1	1	1
		唤醒	P	P	P	P	P	P	P	P
Bank0 0x0C	RC (SCC)	名称	0	CLK2	CLK1	CLK0	IDLE	0	0	CPUS
		上电	0	0	1	0	1	0	0	0
		复位	0	0	1	0	1	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank0 0x0D	RD (TWC)	名称	WDTE	PSW2	PSW1	PSW0	TS	PST2	PST1	PST0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank0 0x0E	RE (RIEN)	名称	T1IE	LVDIE	ADIE	SPIIE	URTIE	EXIE9	EXIE8	TCIE
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P



JZ8P8801 数据手册

Bank0 0x0F	RF (RIFG)	名称	T1IF	LVDIF	ADIF	SPIIF	URTIF	EXIF9	EXIF8	TCIF
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank1 0x05	R5 (LCDCR)	名称	LCDEN	LCDTYPE	BIAS1	BIAS0	DUTY1	DUTY0	LCDF1	LCDF0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank1 0x06	R6 (LCDAR)	名称	0	0	0	LCD_A4	LCD_A3	LCD_A2	LCD_A1	LCD_A0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank1 0x07	R7 (LCD BUF)	名称	LCD_D7	LCD_D6	LCD_D5	LCD_D4	LCD_D3	LCD_D2	LCD_D1	LCD_D0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank1 0x08	R8 (LCD VCR)	名称	0	0	0	LCD CK1	LCD CK0	LCD VS2	LCDVS1	LCDVS0
		上电	0	0	0	1	1	1	1	1
		复位	0	0	0	1	1	1	1	1
		唤醒	P	P	P	P	P	P	P	P
Bank1 0x09	R9 (COM CTRL)	名称	COM7	COM6	COM5	COM4	COM3	COM2	COM1	COM0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank1 0x0A	RA (SEG CTRL0)	名称	SEG7	SEG6	SEG5	SEG4	SEG3	SEG2	SEG1	SEG0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank1 0x0B	RB (SEG CTRL0)	名称	SEG15	SEG14	SEG13	SEG12	SEG11	SEG10	SEG9	SEG8
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank1 0x0C	RC SEG CTRL1)	名称	0	SEG22	SEG21	SEG20	SEG19	SEG18	SEG17	SEG16
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank1 0x0E	RE (EIEN)	名称	EXIE7	EXIE6	EXIE5	EXIE4	EXIE3	EXIE2	EXIE1	EXIE0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P



JZ8P8801 数据手册

Bank1 0x0F	RF (EIFG)	名称	EXIF7	EXIF6	EXIF5	EXIF4	EXIF3	EXIF2	EXIF1	EXIF0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank2 0x05	R5 (TM1C)	名称	TIS1	TIS0	TM1S2	TM1S1	TM1S0	TM1PS2	TM1PS1	TM1PS0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank2 0x06	R6 (TSR)	名称	TMMOD	TMRC	TM1CS1	TM1CS0	TM2CS	TM1S	TM1OM	TM1OC
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank2 0x07	R7 (TM1PD)	名称	TM1PD [7]	TM1PD [6]	TM1PD [5]	TM1PD [4]	TM1PD [3]	TM1PD [2]	TM1PD [1]	TM1PD [0]
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank2 0x08	R8 (TM1DT)	名称	TM1DT [7]	TM1DT [6]	TM1DT [5]	TM1DT [4]	TM1DT [3]	TM1DT [2]	TM1DT [1]	TM1DT [0]
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank2 0x09	R9 (TM2C)	名称	TM2IF	TM2IE	TM2OS	TM2OMS	TM2OMS	TM2PS2	TM2PS1	TM2PS0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank2 0x0A	RA (TM2PD)	名称	TM2PD [7]	TM2PD [6]	TM2PD [5]	TM2PD [4]	TM2PD [3]	TM2PD [2]	TM2PD [1]	TM2PD [0]
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank2 0x0B	RB (TM2DT)	名称	TM2DT	TM2DT [6]	TM2DT	TM2DT	TM2DT	TM2DT	TM2DT	TM2DT
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank2 0x0C	RC (SPIS)	名称	DSC	TD1	TD0	0	ODSDO	ODSCK	0	RBF
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank2 0x0D	RD (SPIC)	名称	CES	SPIE	SPIRO	SPISE	SDOOC	SBRS2	SBRS1	SBRS0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P



JZ8P8801 数据手册

Bank2 0x0E	RE (SPI RBUF)	名称	SRB7	SRB6	SRB5	SRB4	SRB3	SRB2	SRB1	SRB0	
		上电	U	U	U	U	U	U	U	U	U
		复位	U	U	U	U	U	U	U	U	U
		唤醒	P	P	P	P	P	P	P	P	P
Bank2 0x0F	RF (SPI WBUF)	名称	SWB7	SWB6	SWB5	SWB4	SWB3	SWB2	SWB1	SWB0	
		上电	U	U	U	U	U	U	U	U	U
		复位	U	U	U	U	U	U	U	U	U
		唤醒	P	P	P	P	P	P	P	P	P
Bank3 0x05	R5 (UARTC1)	名称	URTD8	UMODE1	UMODE	BRS2	BRS1	BRS0	UTBE	TXE	
		上电	U	0	0	0	0	0	0	1	0
		复位	P	0	0	0	0	0	0	1	0
		唤醒	P	P	P	P	P	P	P	P	P
Bank3 0x06	R6 (UARTS)	名称	URRD8	EVEN	PRE	PRERR RR	OVERR RR	FMERR RR	URBF	RXE	
		上电	U	0	0	0	0	0	0	0	
		复位	P	0	0	0	0	0	0	0	
		唤醒	P	P	P	P	P	P	P	P	
Bank3 0x07	R7 (UARTR D)	名称	URRD7	URRD6	URRD5	URRD4	URRD3	URRD2	URRD1	URRD0	
		上电	0	0	0	0	0	0	0	0	0
		复位	P	P	P	P	P	P	P	P	P
		唤醒	P	P	P	P	P	P	P	P	P
Bank3 0x08	R8 (UARTTD)	名称	URTD7	URTD6	URTD5	URTD4	URTD3	URTD2	URTD1	URTD0	
		上电	0	0	0	0	0	0	0	0	0
		复位	P	P	P	P	P	P	P	P	P
		唤醒	P	P	P	P	P	P	P	P	P
Bank3 0x09	R9 (ADCC)	名称	ADCS	ADPC	ADCK1	ADCK0	ADIS3	ADIS2	ADIS1	ADIS0	
		上电	0	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P	P
Bank3 0x0A	RA (ADICH)	名称	CALI	ADREF	0	0	ADE11	ADE10	ADE9	ADE8	
		上电	0	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P	P
Bank3 0x0B	RB (ADICL)	名称	ADE7	ADE6	ADE5	ADE4	ADE3	ADE2	ADE1	ADE0	
		上电	0	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P	P
Bank3 0x0C	RC (ADDH)	名称	ADD11	ADD10	ADD9	ADD8	ADD7	ADD6	ADD5	ADD4	
		上电	0	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P	P



JZ8P8801 数据手册

Bank3 0x0D	RD (ADDL)	名称	SIGN	VOF[2]	VOF[1]	VOF[0]	ADD3	ADD2	ADD1	ADD0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank3 0x0E	RE (EIESH)	名称	EIES7	EIES6	EIES5	EIES4	EIES3	EIES2	EIES1	EIES0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank3 0x0F	RF (EIESL)	名称	0	0	0	ADWK	INTWK9	INTWK8	EIES9	EIES8
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank4 0x05	R5 (LED PC)	名称	LEDP7	LEDP6	LEDP5	LEDP4	LEDP3	LEDP2	LEDP1	LEDP0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank4 0x06	R6 (WBC)	名称	WTBCS	WTIE	WTIF	WTIS1	WTIS0	BUZZE	BZOFS1	BZOFS0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank4 0x07	R7 (P0CR)	名称	CR07	CR06	CR05	CR04	CR03	CR02	CR01	CR00
		上电	1	1	1	1	1	1	1	1
		复位	1	1	1	1	1	1	1	1
		唤醒	P	P	P	P	P	P	P	P
Bank4 0x08	R8 (P1CR)	名称	CR17	CR16	CR15	CR14	CR13	CR12	CR11	CR10
		上电	1	1	1	1	1	1	1	1
		复位	1	1	1	1	1	1	1	1
		唤醒	P	P	P	P	P	P	P	P
Bank4 0x09	R9 (P2CR)	名称	CR27	CR26	CR25	CR24	CR23	CR22	CR21	CR20
		上电	1	1	1	1	1	1	1	1
		复位	1	1	1	1	1	1	1	1
		唤醒	P	P	P	P	P	P	P	P
Bank4 0x0A	RA (P3CR)	名称	CR37	CR36	CR35	CR34	CR33	CR32	CR31	CR30
		上电	1	1	1	1	1	1	1	1
		复位	1	1	1	1	1	1	1	1
		唤醒	P	P	P	P	P	P	P	P
Bank4 0x0B	RB (P4CR)	名称	CR47	CR46	CR45	CR44	CR43	CR42	CR41	CR40
		上电	1	1	1	1	1	1	1	1
		复位	1	1	1	1	1	1	1	1
		唤醒	P	P	P	P	P	P	P	P
Bank4 0x0C	RC (P5CR)	名称	1	1	1	1	CR53	CR52	CR51	CR50
		上电	1	1	1	1	1	1	1	1
		复位	1	1	1	1	1	1	1	1



JZ8P8801 数据手册

		唤醒	P	P	P	P	P	P	P	P
Bank4 0x0D	RD (TBRDL)	名称	RBIT7	RBIT6	RBIT5	RBIT4	RBIT3	RBIT2	RBIT1	RBIT0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank4 0x0E	RE (TBRDH)	名称	MLB	OPT_TBRD _EN	--	--	RBIT11	RBIT10	RBIT9	RBIT8
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank4 0x0F	RF (WKC)	名称	INT WK7	INT WK6	INT WK5	INT WK4	INT WK3	INT WK2	INT WK1	INT WK0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank5 0x06	R6 (UARC2)	名称	0	0	UARTE	0	UINVEN	0	0	0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank5 0x07	R7 (P0 PHCR)	名称	PH07	PH06	PH05	PH04	PH03	PH02	PH01	PH00
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank5 0x08	R8 (P1PHCR)	名称	PH17	PH16	PH15	PH14	PH13	PH12	PH11	PH10
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank5 0x09	R9 (P2 PHCR)	名称	PH27	PH26	PH25	PH24	PH23	PH22	PH21	PH20
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank5 0x0A	RA (P3 PHCR)	名称	PH37	PH36	PH35	PH34	PH33	PH32	PH31	PH30
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank5 0x0B	RB (P4 PHCR)	名称	PH47	PH46	PH45	PH44	PH43	PH42	PH41	PH40
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank5 0x0C	RC (P5 PHCR)	名称	0	0	0	0	PHC3	PHC2	PHC1	PHC0
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P



Bank6 0x07	R7 (ODCR0)	名称	OD07	OD06	OD05	OD04	OD03	OD02	OD01	OD00
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank6 0x08	R8 (ODCR1)	名称	OD17	OD16	OD15	OD14	OD13	OD12	OD11	OD10
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank6 0x09	R9 (ODCR2)	名称	OD27	OD26	OD25	OD24	OD23	OD22	OD21	OD20
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank6 0x0A	RA (ODCR3)	名称	OD37	OD36	OD35	OD34	OD33	OD32	OD31	OD30
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank6 0x0B	RB (ODCR4)	名称	OD47	OD46	OD45	OD44	OD43	OD42	OD41	OD40
		上电	0	0	0	0	0	0	0	0
		复位	0	0	0	0	0	0	0	0
		唤醒	P	P	P	P	P	P	P	P
Bank6 0x0C	RC (P5)	名称	1	1	1	1	RC3	RC2	RC1	RC0
		上电	1	1	1	1	1	1	1	1
		复位	1	1	1	1	1	1	1	1
		唤醒	P	P	P	P	P	P	P	P
Bank0 ~ Bank7 0*10~	R10 ~R3F	名称	/							
		上电	U	U	U	U	U	U	U	U
		复位	U	U	U	U	U	U	U	U
		唤醒	P	P	P	P	P	P	P	P

说明：P 代表先前原有的状态，U 代表未知状态；

5.15 时钟模块

JZ8P8801 内部集成了 5 种振荡器，见表 5.5，可以通过 option 实现相应配置，见表 5.6

表 5.5 JZ8P8801 内部振荡器及其配置

主时钟源	OSC<2:0>配置	对应引脚	该模式下可复用的引脚
晶振	001/101/111	OSCI/OSCO	/
PLL	010/011/110	OSCI	OSCO(P55)可复用为 GPIO(P55)
ERIC	000/100	OSCI	OSCO 可复 GPIO(P55)
副时钟源			
副时钟源	OSC<2:0>配置	对应引脚	该模式下可复用的引脚
晶振	100/101/110	Xin (P52) Xout(P53)	/
ERIC	000/001/010/011	Xin (P52)	Xout(P53)可复用为 GPIO



表 5.6 JZ8P8801 内部振荡器组合 Option 配置

OSC<2:0>	Main Osc	Sub Osc
000	RC	RC
001	CRY	RC
010	PLL	RC
011	PLL	RC
100	RC	CRY
101	CRY	CRY
110	PLL	CRY
111	CRY	none

对于主时钟选择为晶振模式时，可设置 option1 的 FCB<1:0>来配置主时钟频率：

00: 100K~1M

01: 1M~6M

10: 6M~12M

11: 12M~20M

系统时钟切换：

当 CPUS 设置为 1 时，系统时钟选择 Fm（主时钟）；

当 CPUS 设置为 0 时，系统时钟选择 Fs（副时钟）。

需要注意的是：Option 中的 HLFS 会影响 CPUS 复位值。

HLFS=0, sub osc 作为系统时钟，此时 CPUS 默认为 0；

HLFS=1, main osc 作为系统时钟，此时 CPUS 默认为 1。

5.15.1 晶振

JZ8P8801 的主时钟晶振是在端口 OSC1 和 OSC0 间外接石英晶体构成，副时钟晶振是在端口 XIN 和 XOUT 间外接石英晶体构成，其外部元件连接图分别如图 5.14(a) 和 5.14(b)所示，外接石英晶体时，接入电容 C1 和 C2 有利于振荡器起振，电容 C1 和 C2 的常见值选择见表 5.7 所示。为了减少寄生电容，更好地保证振荡器稳定可靠地工作，石英晶体和电容应尽可能安装地与单片机芯片靠近。

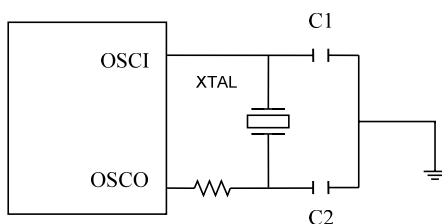


图 5.14(a) 主时钟（高速时钟）外部晶振电路接法

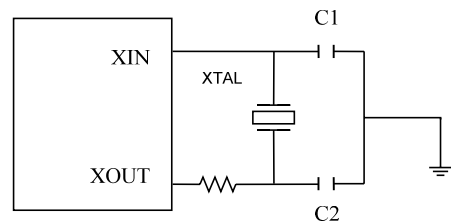


图 5.14(b) 副时钟（低速时钟）外部晶振电路接法



表 5.7 不同频率的时钟外接电容建议值

时钟源	时钟类型		频率	C1(pF)	C2(pF)
主时钟	晶振	100K~1MHZ	100KHZ	68	68
			200KHZ	30	30
			455KHZ	30	30
		1M~6MHZ	1MHZ	30	30
			2MHZ	30	30
			4MHZ	30	30
		6M~12MHZ	6MHZ	30	30
			8MHZ	30	30
			10MHZ	30	30
		12M~20MHZ	12MHZ	30	30
16MHZ	20		20		
20MHZ	15		15		
副时钟	晶振	32.768KHZ	40	40	

5.15.2 ERIC 时钟

JZ8P8801 的 ERIC 时钟，是采用电路内部自带的电容，然后外接电阻 R 构成的 ERIC 时钟。其外部连接如图 5.15(a) 和图 5.15(b)所示。外接电阻值对应的频率见表 5.8

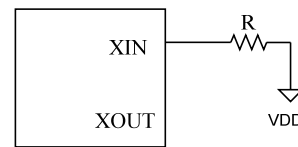
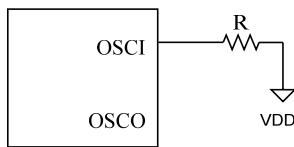


图 5.15(a) 主时钟（高速时钟）RC 时钟电路接法

图 5.15(b) 副时钟（低速时钟）RC 时钟电路接法

表 5.8 ERIC 振荡电路不同频率要求外接电阻值

引脚	电阻 R	平均频率 5V,25°C	平均频率 5V,25°C
OSCI	51K	2.22MHZ	2.197MHZ
	100K	1.13MHZ	1.12MHZ
	300K	381.36KHZ	374.77KHZ
XIN	2.2M	32.768KHZ	32.768KHZ

5.15.3 PLL 时钟

JZ8P8801 的 PLL 模式主时钟，是采用副时钟倍频所得，频率大小由 Bank 0 RC 寄存器的 CLK[2:0]来选择，对应的频率见表 5.7，时钟为 PLL 时钟，副时钟为晶振电路外部连接如图 5.16 所示，外接电容值为 22nF。



表 5.9 寄存器的设置及 PLL 输出频率对照表

CLK[2:0]	主时钟	以 $F_s=32.768K$ 为例 PLL 输出频率
000	F_s*122	3.998MHz
001	F_s*61	1.999MHz
010	$F_s*61/2$	999KHz
011	$F_s*61/4$	499.7KHz
100	F_s*244	7.995MHz
101	F_s*366	11.99MHz
110	F_s*488	15.99MHz
111	F_s*488	15.99MHz

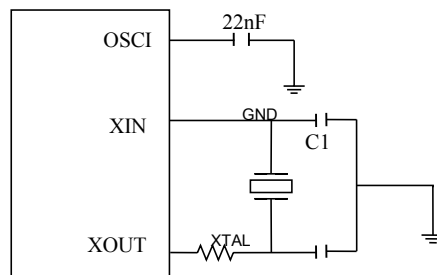


图 5.16 主时钟为 PLL 时钟，副时钟为晶振电路接法

5.16 代码选项寄存器

表 5.10 Option 选项含义

Code Option	选项	功能描述
Protect	不加密	烧录模式数据不加密（默认）
	加密	烧录模式数据加密
HLFS	Main osc	复位后 Main osc 作为系统时钟
	Sub osc	复位后 Sub osc 作为系统时钟
HLPS	高功耗	系统工作在高功耗下（默认）
	低功耗	系统工作在低功耗下
OSC	CRY/None	主时钟采用晶振模式，副时钟无（默认）
	CRY/RC	主时钟采用晶振模式，副时钟采用 RC 模式
	PLL/RC	主时钟采用 PLL 模式，由当前副时钟倍频，副时钟采用 RC
	RC/CRY	主时钟采用 RC 模式，副时钟采用晶振模式
	CRY/CRY	主时钟采用晶振模式，副时钟采用晶振模式
	PLL/CRY	主时钟采用 PLL 模式，由当前副时钟倍频，副时钟采用 RC
	RC/RC	主时钟采用 RC 模式，副时钟采用 RC 模式
Main_osc	12M~20M	主时钟晶振模式为 12M~20M
	6M~12M	主时钟晶振模式为 6M~12M
	1M~6M	主时钟晶振模式为 1M~6M
	100K~1M	主时钟晶振模式为 100K~1M



LVREN	1.8V	低压复位点选择 1.8V (默认)
	1.6V	低压复位点选择 1.6V
	2.6V	低压复位点选择 2.6V
	3.3V	低压复位点选择 3.3V
	3.9V	低压复位点选择 3.9V
ENWDT	禁止	WDT 禁止 (默认)
	使能	WDT 使能
P07_Shared	IO 口	使能为 GPIO 口 (默认)
	时钟输出	复用为系统时钟输出口
P11_Shared	IO 口	使能为 GPIO 口 (默认)
	RESET	复用为 RESET 口
P53_Shared	IO 口 (无副时钟)	当副时钟源选择为: 不选 (None) 时, P11 用作 IO 口 (默
	IO 口 (副时钟非晶振模式)	当副时钟源选择为: RC 或不选 (None) 时, P11 用作 IO 口
P55_Shared	OSCO	晶振模式下主时钟输出口 (默认)
	IO 口	使能为 GPIO 口 (非晶振模式下)
P54_Shared	Test Pin	测试脚, 需设置为高电平 (默认)
	IO 口	使能为 GPIO 口 (仅限开漏输出)
OSCO_OD	禁止开漏	禁止 P54 口为开漏输出
	使能开漏	使能 P54 口为开漏输出
SMC_OPT	禁止新增指令	禁止使用新增指令 (默认)
	使能新增指令	使能使用新增指令
TBRD_OPT	禁止 Option 区域查表能力	禁止 TBRD 指令查表能力 (默认)
	使能 Option 区域查	使能 TBRD 指令查表能力
Page_OPT	禁止	禁止 Page 指令控制 (默认)
	使能	使能 Page 指令控制
Package	48PIN	封装形式选择 48PIN (默认)
	44PIN	封装形式选择 44PIN
	32PIN	封装形式选择 32PIN
CLKS	2 Fosc	指令周期选择 2Fosc (默认)
	4 Fosc	指令周期选择 4Fosc
	8 Fosc	指令周期选择 8Fosc
	16 Fosc	指令周期选择 16Fosc
Secret	禁止	测试模式不保护 ROM 程序
	使能	测试模式保护 ROM 程序



6 JZ8P8801 性能参数

6.1 极限参数

工作温度(°C)	-40-85
存储温度(°C)	-65~+150
极限电压(V)	-0.3~6
极限输入电压 (V)	GND-0.3~VDD+1
极限输出电压 (V)	GND-0.3~VDD+1

6.2 直流参数 (T=25°C, VDD=5±5%V, GND=0V)

符号	参数说明	条件	最小	典型	最大	单位
ERIC	外接电阻内置电容振荡	R:5.1KΩ	F-20%	2.22	F+20%	MHz
IOH1	输出高电平驱动 1(P2,LED使能)	VOH=GND+2.1	8	10	15	mA
IOH2	输出高电平驱动 2	VOH=0.9VDD	7	9	12	mA
IOL1	输出低电平驱动 1(P2,LED使能)	VOL=VDD-2.1	14	16	18	mA
IOL2	输出低电平驱动 2	VOL=0.1VDD	16	18	21	mA
IPH	上拉电流	上拉使能, 输入接地		75		uA
Isb1	关机电流 1	所有输入接 VDD,输出悬空, WDT、LVD 禁用			2	uA
Isb2	关机电流 2	所有输入接 VDD,输出悬空, WDT 使能, LVD 禁用			10	uA
Iop1	工作电流 1(VDD=3V)	32KHz 晶振模式,2clks, 输入接 VDD, 输出端悬空, WDT、LVD 禁止, 选择低功耗模式			30	uA
Iop2	工作电流 2	系统时钟 4MHz 晶振模式, 2clks, 输出端悬空, 输入接 VDD, 选择高功耗模式			1.7	mA



6.3 常温下工作电流在各电压下的变化情况

工作模式 1: NORMAL 模式, WDT 禁止, 指令周期为 2 个 Clocks, 选择 Crystals/NA 振荡模式, CPU 振荡源选择主时钟, 高功耗模式, P0/P1/P2/P3/P4/P50、P51 端口输出悬空, 对应的工作电流见图 6.1:

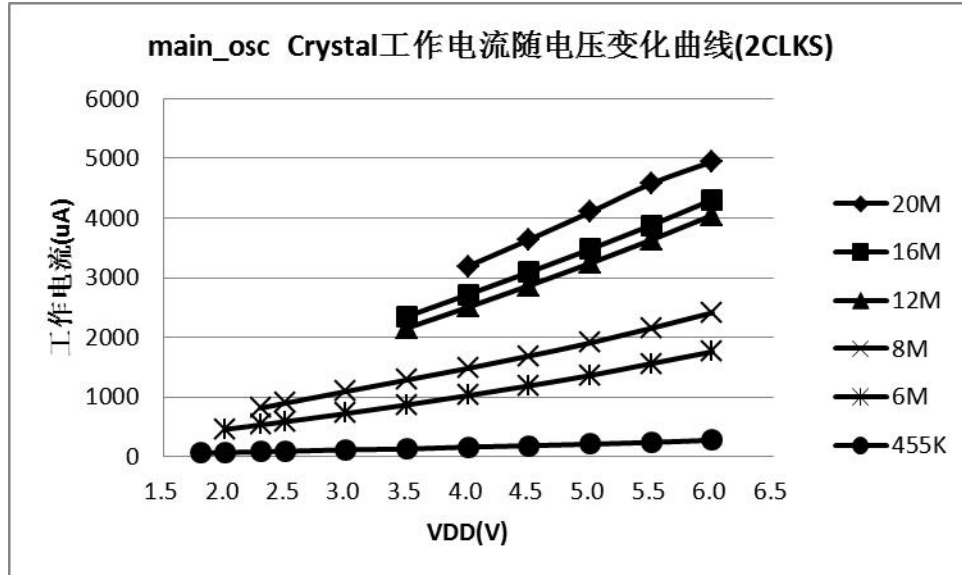


图 6.1 常温下系统工作在 Normal 模式下的晶振模式时的工作电流

工作模式 2: NORMAL 模式, WDT 禁止, 指令周期为 2 个 Clocks, 选择 ERIC/ERIC 振荡模式, CPU 振荡源选择主时钟, 高功耗模式, P0/P1/P2/P3/P4/P50、P51 端口输出悬空, 对应的工作电流见图 6.2:

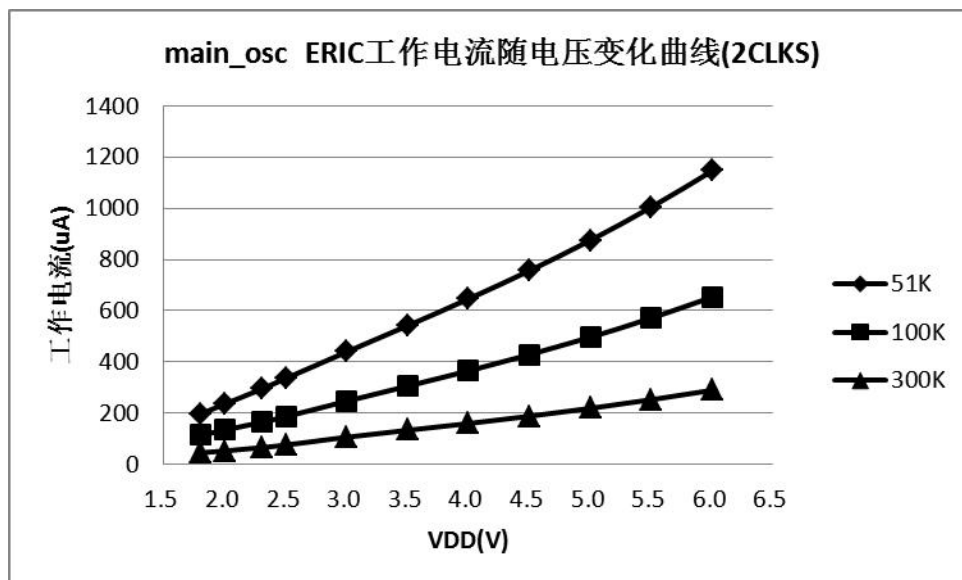


图 6.2 常温下系统工作在 Normal 模式下的 RC 模式时的工作电流



工作模式 3: NORMAL 模式, WDT 禁止, 指令周期为 2 个 Clocks, 选择 PLL/Cryscal 振荡模式, CPU 振荡源选择主时钟, 高功耗模式, P0/P1/P2/P3/P4/P50、P51 端口输出悬空, 对应的工作电流见图 6.3:

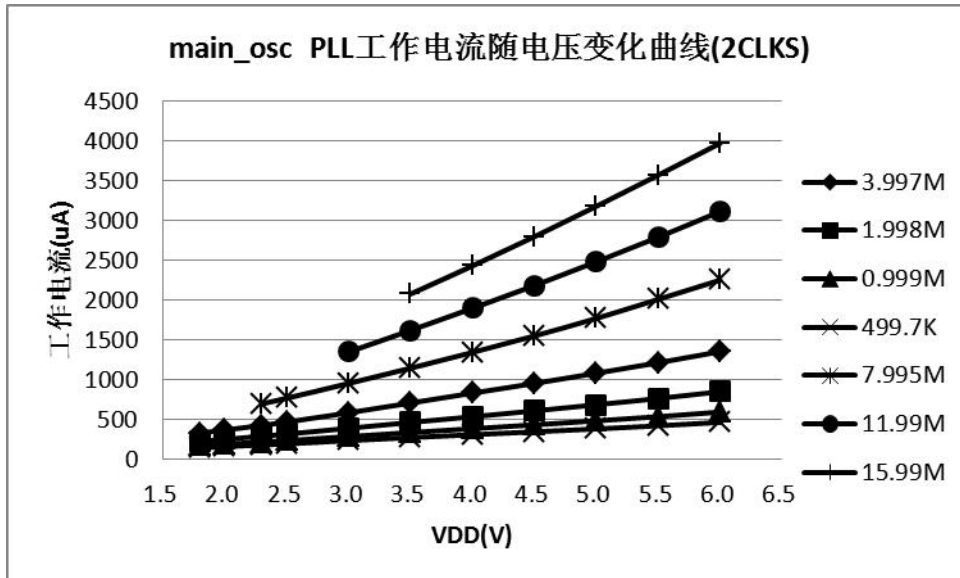


图 6.3 常温下系统工作在 Normal 模式下的 PLL 模式时的工作电流

工作模式 4: Green 模式, WDT 禁止, 指令周期为 2 个 Clocks, 选择 Cryscal/Cryscal 振荡模式, CPU 振荡源选择副时钟, 高功耗模式, P0/P1/P2/P3/P4/P50、P51 端口输出悬空, 对应的工作电流见图 6.4:

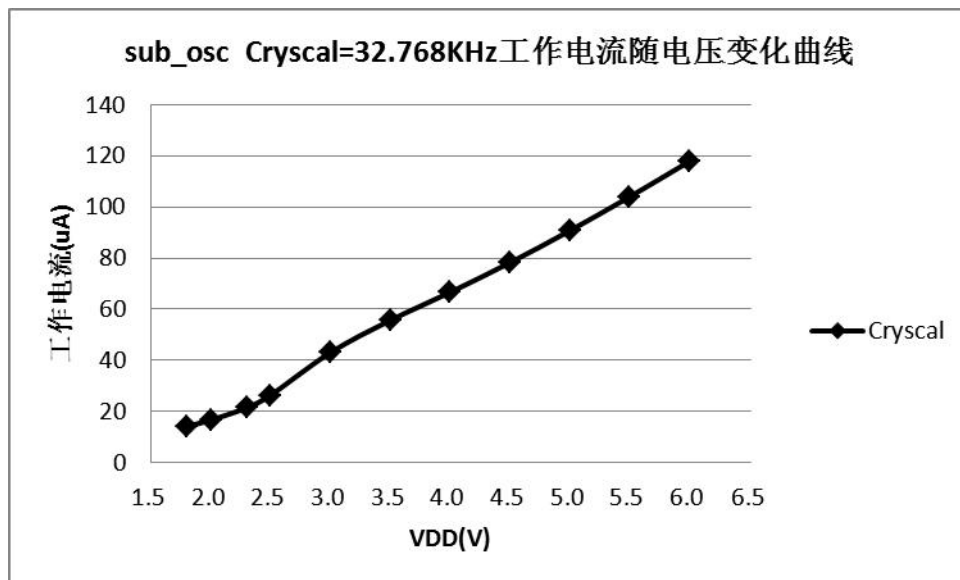


图 6.4 常温下系统工作在 Green 模式下的晶振模式时的工作电流



工作模式 5: Green 模式, WDT 禁止, 指令周期为 2 个 Clocks, 选择 ERIC/ERIC 振荡模式, CPU 振荡源 选择副时钟, 高功耗模式, P0/P1/P2/P3/P4/P50、P51 端口输出悬空, 对应的工作电流见图 6.5:

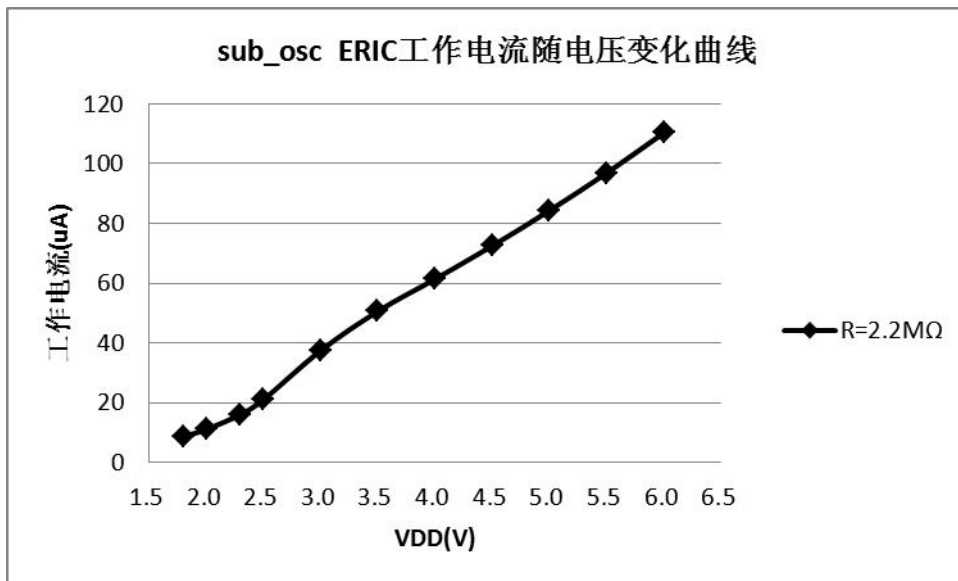


图 6.5 常温下系统工作在 Green 模式下的 RC 模式时的工作电流

6.4 常温下睡眠电流随电压变化情况

睡眠模式 1: WDT 禁止, LVD 禁止, P0/P1/P2/P3/P4/P50、P51 输出悬空, 输入接 VDD, 对应的工作电流见图 6.6:

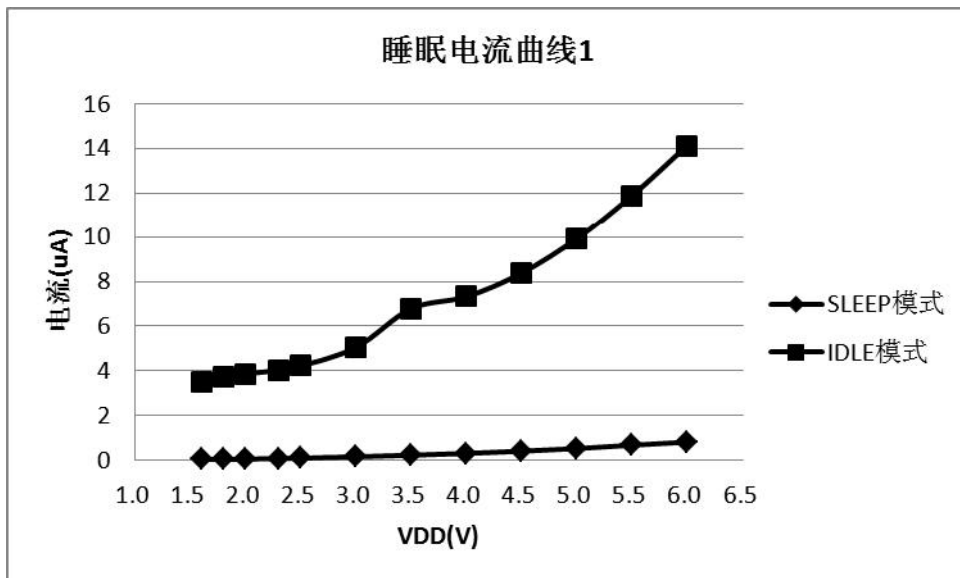


图 6.6 常温下系统工作在 SLEEP 模式和 IDLE 模式下 (WDT 禁止, LVD 禁止) 的工作电流

睡眠模式 2: WDT 使能, LVD 禁止, P0/P1/P2/P3/P4 输出悬空, 输入接 VDD, 对应的工作电流见图 6.7:

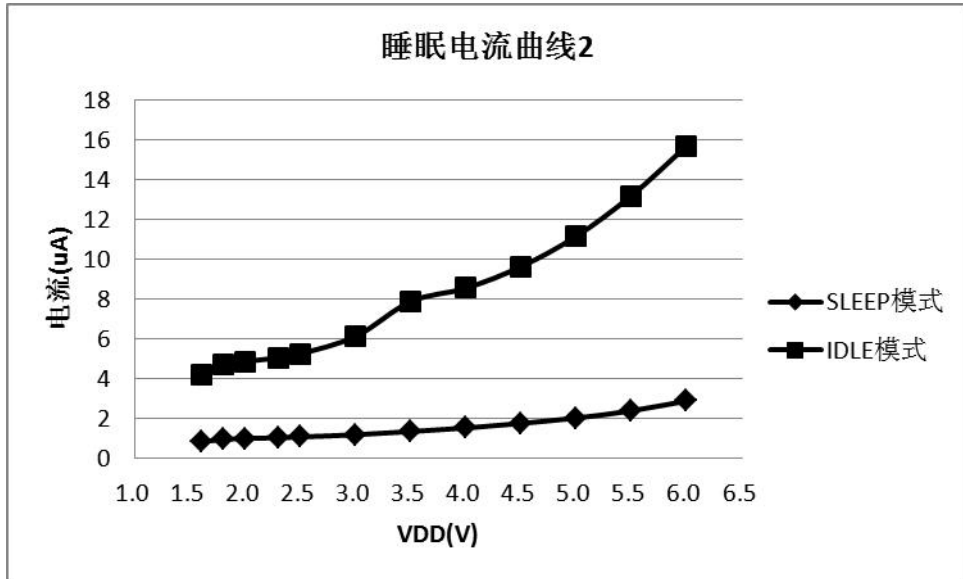


图 6.7 常温下系统工作在 SLEEP 模式和 IDLE 模式下（WDT 使能，LVD 禁止）的工作电流

睡眠模式 3：WDT 使能，LVD 禁止，P0/P1/P2/P3/P4 输出悬空，输入接 VDD，对应的工作电流见图 6.8：

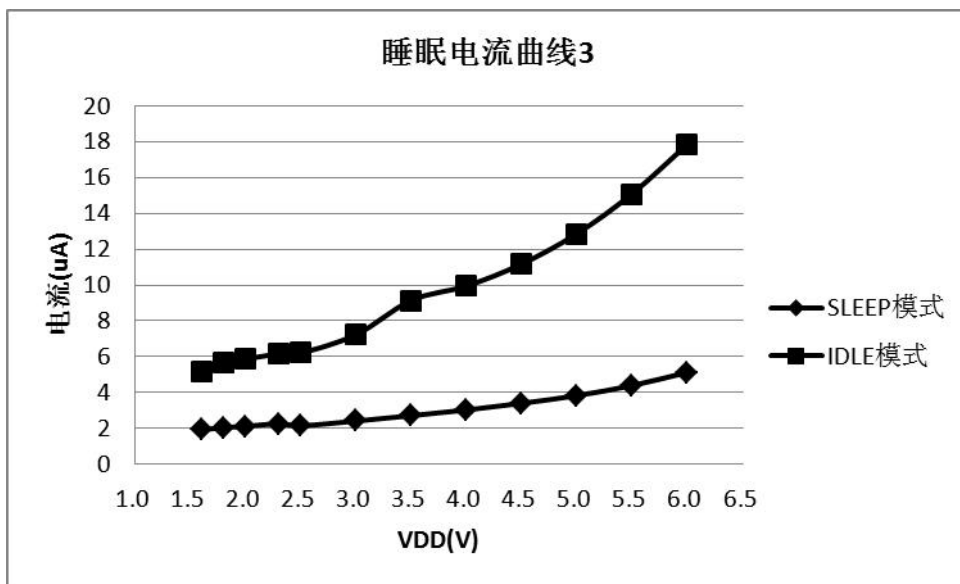


图 6.8 常温下系统工作在 SLEEP 模式和 IDLE 模式下（WDT 使能，LVD 使能）的工作电流



6.5 输出高电平驱动电流 (V_{dd}=5.0V)

工作模式 1: Crystals/NA=4MHz/NA 振荡模式, 指令周期 2 Clocks, V_{DD}=5V, LVD/WDT 关闭, 低功耗模式, 环境温度 25°C, 对应的工作电流见图 6.9:

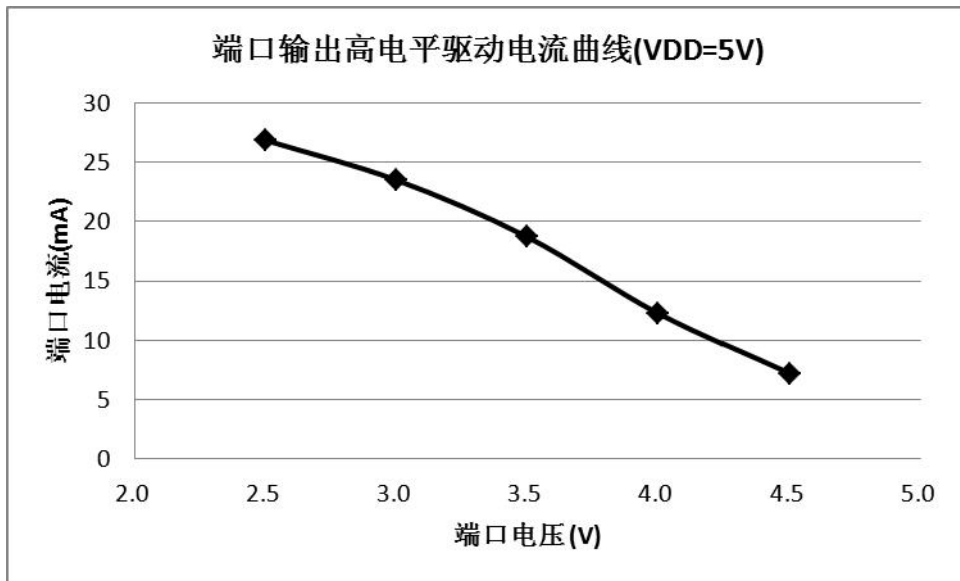


图 6.9 端口输出高电平驱动电流

工作模式 2: Crystals/NA=4MHz/NA 振荡模式, 指令周期 2 Clocks, V_{DD}=5V, LVD/WDT 关闭, P2 端口 LED 使能, 低功耗模式, 环境温度 25°C, 对应的工作电流见图 6.10:

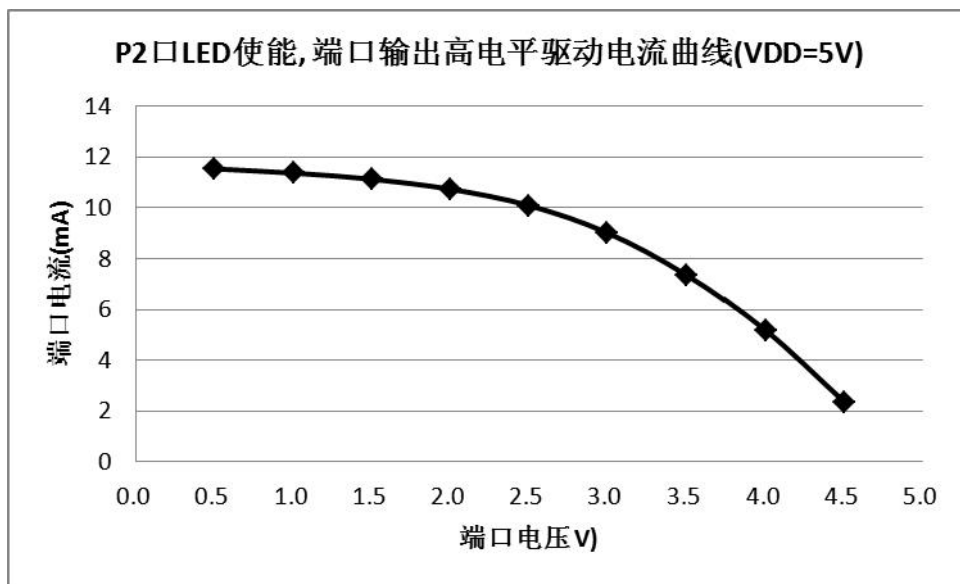


图 6.10 P2 口 LED 使能, 端口输出高电平驱动电流



6.6 输出低电平驱动电流 (V_{dd}=5.0V)

工作模式 1: Crystals/NA=4MHz/NA 振荡模式, 指令周期 2 Clocks, V_{DD}=5V, LVD/WDT 关闭, 低功耗模式, 环境温度 25°C, 对应的工作电流见图 6.11:

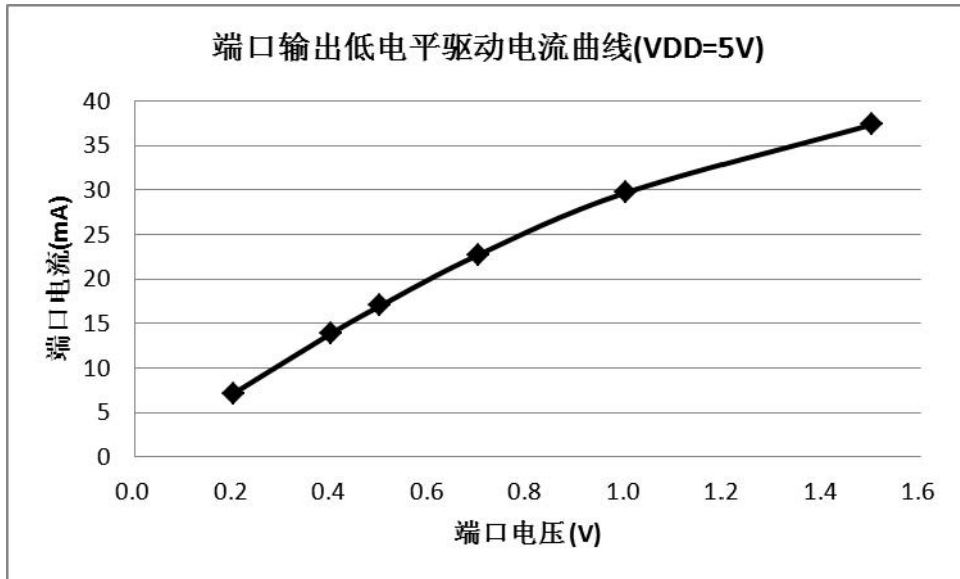


图 6.11 端口输出低电平驱动电流

工作模式 2: Crystals/NA=4MHz/NA 振荡模式, 指令周期 2 Clocks, V_{DD}=5V, LVD/WDT 关闭, P2 端口 LED 使能, 低功耗模式, 环境温度 25°C, 对应的工作电流见图 6.12:

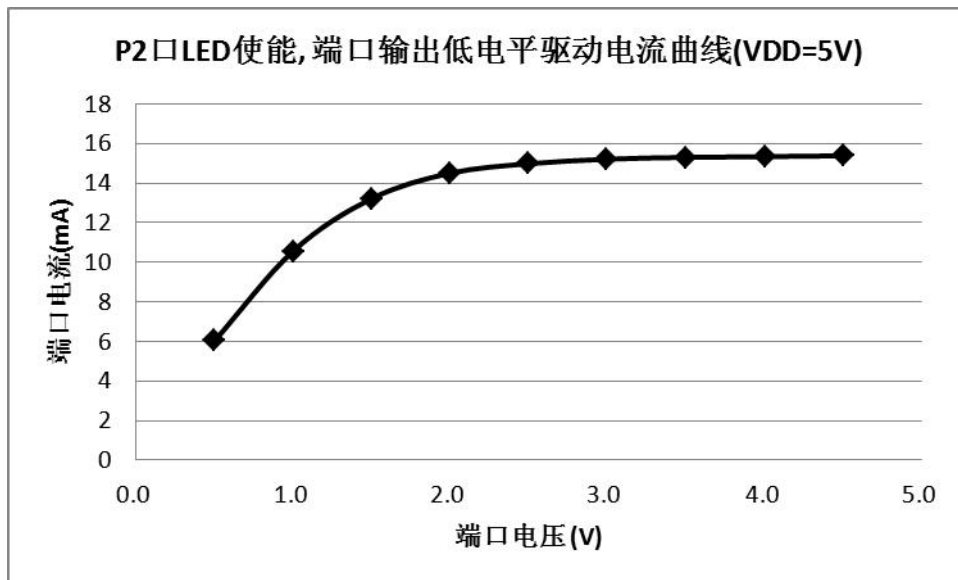


图 6.12 P2 口 LED 使能, 端口输出低电平驱动电流



6.7 系统工作电压与工作频率关系

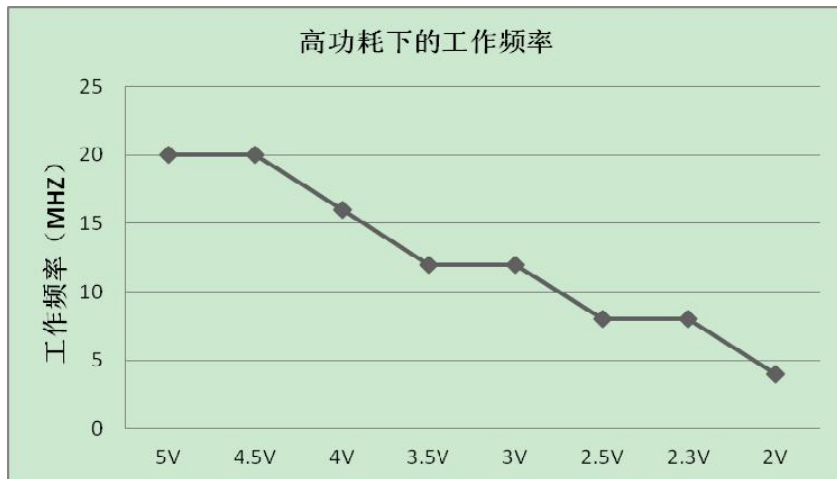


图 6.13 系统工作频率与工作电压关系示意图

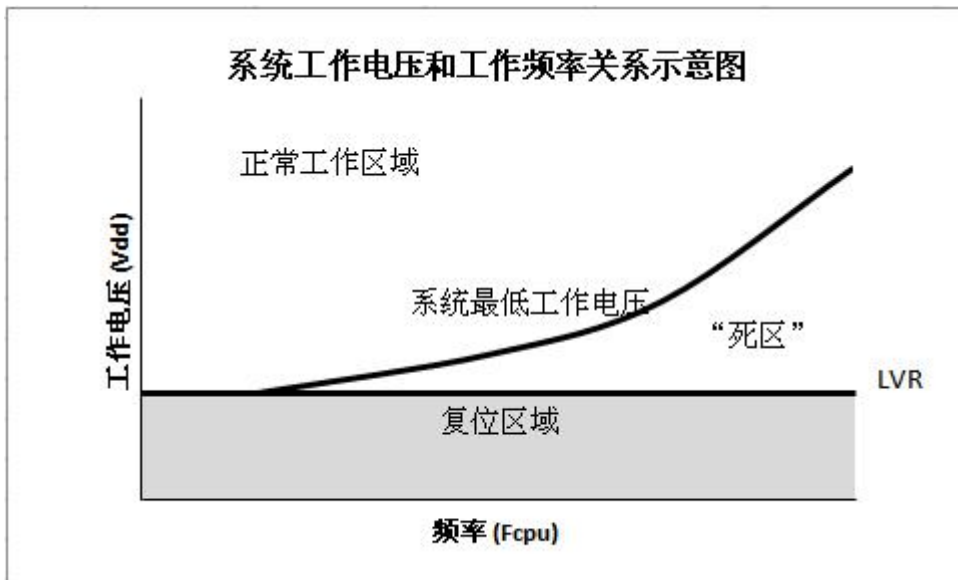
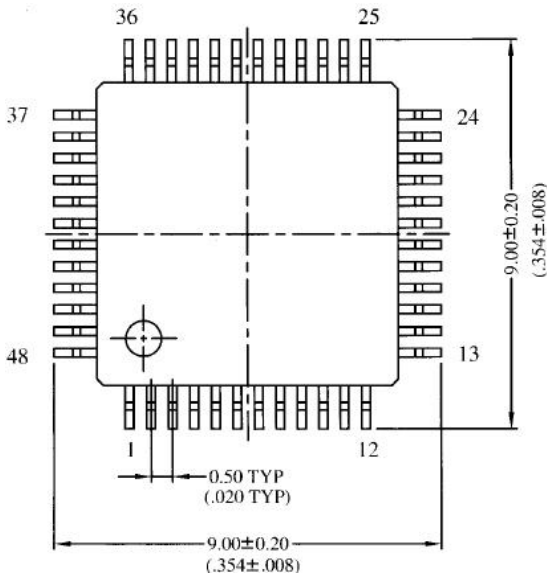


图 6.13 系统工作频率与工作电压关系示意图

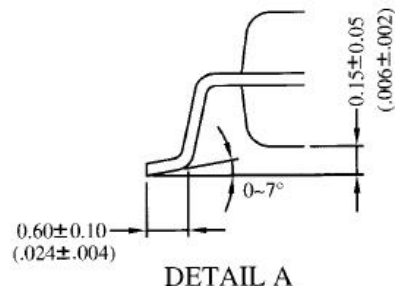
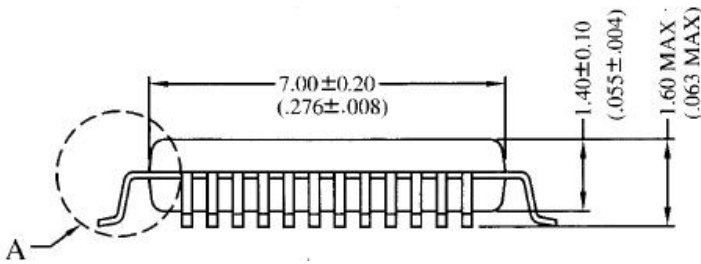


7 封装信息

LQFP48 封装尺寸与外形图:



DIM	MILLIMETERS		INCHES	
	MIN	MAX	MIN	MAX
J	0.107	0.197	.0042	.0076
J1	0.107	0.147	.0042	.0058
K	0.200	0.250	.0079	.0098
K1	0.200	0.300	.0079	.0118





8 附录

产品中有毒有害物质或元素的名称及含量

部件名称	有毒有害物质或元素					
	铅 (Pb)	汞 (Hg)	镉 (Cd)	六价铬 (Cr+6)	多溴联苯 (PBB)	多溴联苯醚 (PBDE)
引线框	○	○	○	○	○	○
塑封树脂	○	○	○	○	○	○
芯片	○	○	○	○	○	○
内引线	○	○	○	○	○	○
装片胶	○	○	○	○	○	○
说明	○：表示该有毒有害物质的含量在 SJ/T11363-2006 标准的限量要求以下。 ×：表示该有毒有害物质的含量超出 SJ/T11363-2006 标准的限量要求。					

产品中有毒有害物质或元素的名称及含量

部件名称	有毒有害物质或元素					
	铅 (Pb)	汞 (Hg)	镉 (Cd)	六价铬 (Cr+6)	多溴联苯 (PBB)	多溴联苯醚 (PBDE)
芯片	○	○	○	○	○	○
说明	○：表示该有毒有害物质的含量在 SJ/T11363-2006 标准的限量要求以下。 ×：表示该有毒有害物质的含量超出 SJ/T11363-2006 标准的限量要求。					