

PAN2418 系列产品说明书

2.4GHz 宽带无线收发芯片

概述

PAN2418芯片是工作在2.320~2.483GHz的宽带无线收发芯片。该芯片集成射频收发机、频率发生器、晶体振荡器、调制解调器等功能模块，并且支持一对多组网和带ACK的通信模式。发射输出功率、工作频道以及通信数据率均可配置。

主要特性

6Mbps模式的接收灵敏度为-81dBm；最大输出功率20dBm。

其它特性

四线 SPI 接口通信	SPI 接口速率最高支持20Mbps
支持最大数据长度为512字节（两级乒乓FIFO）	QFN24L 0404封装
3M /6Mbps模式，需要晶振精度 $\pm 60\text{ppm}$	工作电压支持2.2~3.3V 工作温度支持-40~+85°C
GFSK通信方式	支持自动应答及自动重传
支持RSSI检测功能	带自动扰码和CRC校验功能

应用方案

Babymonitor	无线图像传输玩具
可视门铃	监控

版本	修订时间	更新内容	相关文档
V1.0	2017. 12		

目录

1 命名规则	4
1.1 PAN2418 命名规则	4
1.2 PAN2418 系列产品选择	4
2 主要电特性	4
3 极限最大额定值	3
4 系统结构方框图	3
5 引脚定义	4
6 芯片工作状态	5
6.1 休眠模式	6
6.2 待机模式-I (STB1)	6
6.3 待机模式-III (STB3)	7
6.4 待机模式-II (STB2)	7
6.5 接收模式	7
6.6 发射模式	7
7 数据通信模式	8
7.1 普通模式	9
7.2 增强模式	9
7.3 增强发送模式	10
7.4 增强接收模式	11
7.5 增强模式下的数据包识别	11
7.6 增强模式下的 PTX 和 PRX 的时序图	11
7.7 增强模式下的接收端一对多通信	12
7.8 DATA FIFO	14
7.9 中断引脚	14
8 SPI 控制接口	14
8.1 SPI 指令格式	15
8.2 SPI 时序	17
9 控制寄存器	18



10 数据包格式描述	43
10.1 普通模式的数据包形式	43
10.2 增强模式的数据包形式	43
10.3 增强模式的 ACK 包形式	43
11 典型应用电路（参考）	44
12 封装尺寸	44
13 联系方式	45

1 命名规则

1.1 PAN2418 命名规则

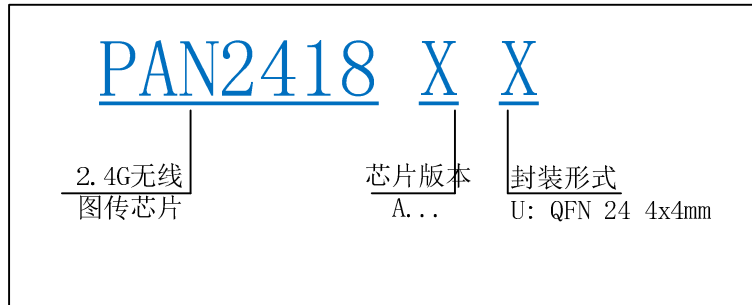


图1.1 PAN2418系列芯片命名规则

1.2 PAN2418 系列产品选择

表1 PAN2418系列产品选择

产品型号	芯片版本	封装形式
PAN2418	A	U

2 主要电特性

表2 PAN2418芯片主要电特性

特性	测试条件(VCC = 3V±5% , TA=25°C)	参数值			单位
		最小	典型	最大	
<i>ICC</i>	休眠模式		2		uA
	待机模式 1		30		uA
	待机模式 3		650		uA
	待机模式 2		2000		uA
	发射模式 (17dBm)		150		mA
系统指标					
f_{OP}	工作频率	2320		2483	MHz
PLL_{res}	锁相环频率步进		1		MHz
f_{XTAL}	晶振频率		16		MHz

DR	码率	3		6	Mbps
Δf_{6M}	调制频偏@6Mbps		1.5	2	MHz
FCH_{6M}	频道间隔@6Mbps		9		MHz
发射模式指标					
PRF	典型输出功率	0	17	20	dBm
$PRFC$	输出功率范围	-30		20	dBm
$PBW1$	发射带数据调制的 20dB 带宽 (6Mbps)		9		MHz
接收模式指标 (注 1)					
RX_{max}	误码率 < 0.1% 时的最大接收幅度		0		dBm
$RXSENS1$	接收灵敏度 (0.1%BER) @6Mbps		-81		dBm
$RXSENS2$	接收灵敏度 (0.1%BER) @3Mbps		-84		dBm
接收模式邻道选择性					
C/I_{CO}	同频的通道选择性@6Mbps		10		dBc
C/I_{1ST}	第 1 相邻道选择性@6Mbps		0		dBc
C/I_{2ND}	第 2 相邻道选择性@6Mbps		-18		dBc
C/I_{3RD}	第 3 相邻道选择性@6Mbps		-19		dBc
C/I_{4TH}	第 4 相邻道选择性@6Mbps		-32		dBc
接收机镜像抑制					
Image	镜像抑制		30		dBc
操作条件					
VDD	供电电压	2.2	3	3.3	V
VSS	芯片地		0		V
V_{OH}	高电平输出电压	VDD-0.3		VDD	V
V_{OL}	低电平输出电压	VSS		VSS+0.3	V
V_{IH}	高电平输入电压	VDD-0.3		VDD	V
V_{IL}	低电平输入电压	VSS		VSS+0.3	V

3 极限最大额定值

表3 PAN2418系列芯片极限最大额定值

特性	条件	参数值			单位
		最小	典型	最大	
最大额定值					
V_{DD}	供电电压	-0.3		3.6	V
V_I	输入电压	-0.3		3.6	V
V_O	输出电压	VSS		VDD	
Pd	总功耗 (TA=-40°C~85°C)			600	mW
T_{OP}	工作温度	-40		85	°C
T_{STG}	存储温度	-40		125	°C

* 注 1：使用中强行超过一项或多项极限最大额定值会导致器件永久性损坏。

* 注 2：静电敏感器件，操作时遵守防护规则。

4 系统结构方框图

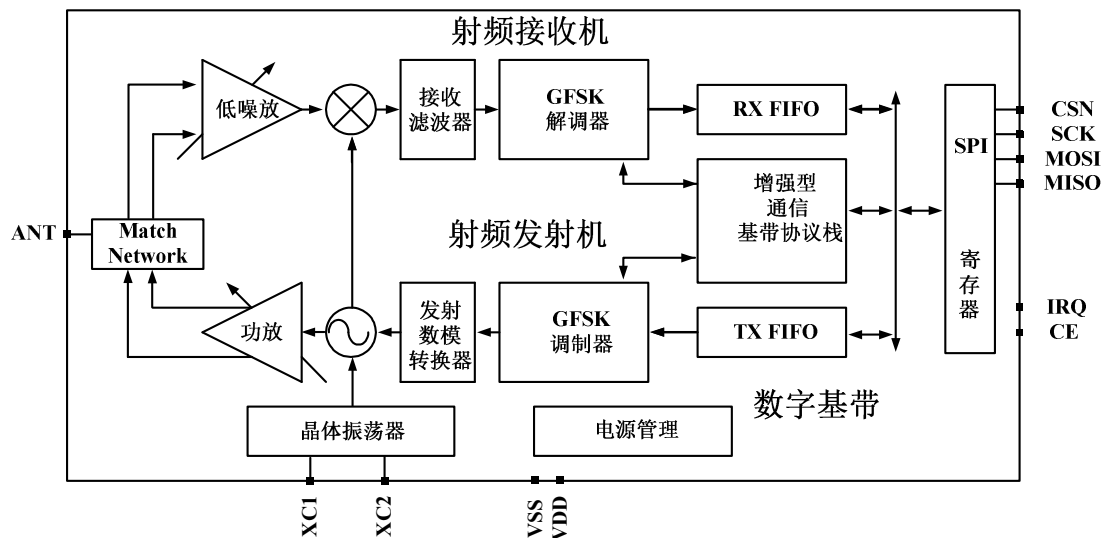


图4.1 PAN2418芯片系统结构方框图

5 引脚定义

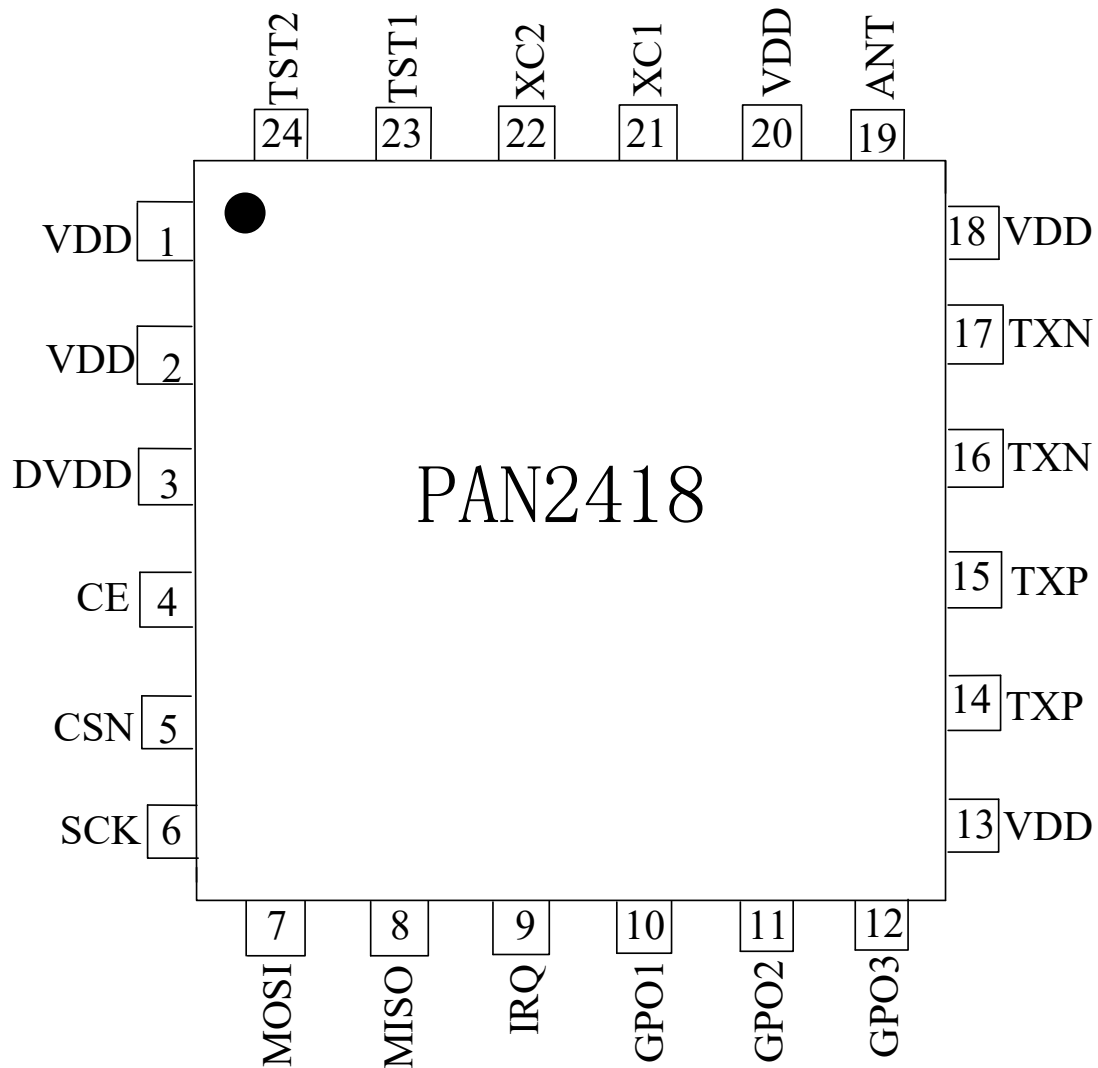


图5.1 PAN2418AU芯片引脚功能图

表5.1 引脚功能说明

引出端序号	符号	功能	引出端序号	符号	功能
1	VDD	电源输入	13	VDD	电源输入
2	VDD	电源输入	14	TXP	射频信号输出正端
3	DVDD	电源输出	15	TXP	射频信号输出正端
4	CE	模式片选信号	16	TXN	射频信号输出负端
5	CSN	SPI 片选信号	17	TXN	射频信号输出负端
6	SCK	SPI 时钟信号	18	VDD	电源输入

7	MOSI	SPI 数据输入信号	19	ANT	射频信号输入
8	MISO	SPI 数据输出信号	20	VDD	电源输入
9	IRQ	中断信号	21	XC1	晶振输入
10	GPO1	时钟输出	22	XC2	晶振输出
11	GPO2	外部 LNA 控制	23	TST1	测试管脚 1
12	GPO3	外部 PA 控制	24	TST2	测试管脚 2

备注：GND在芯片底部的EPAD上。

6 芯片工作状态

本章描述PAN2418系列芯片的各种工作模式，以及用于控制芯片进入各工作模式的方法。PAN2418芯片自带状态机受控于芯片内部寄存器的配置值和外部引脚信号。

图6是PAN2418工作状态图，表示5种工作模式之间的跳变。PAN2418在VDD大于2.2V才开始正常工作。即使进入休眠模式，MCU还是可以通过SPI发送配置命令及CE管脚使芯片进入其它5种状态。

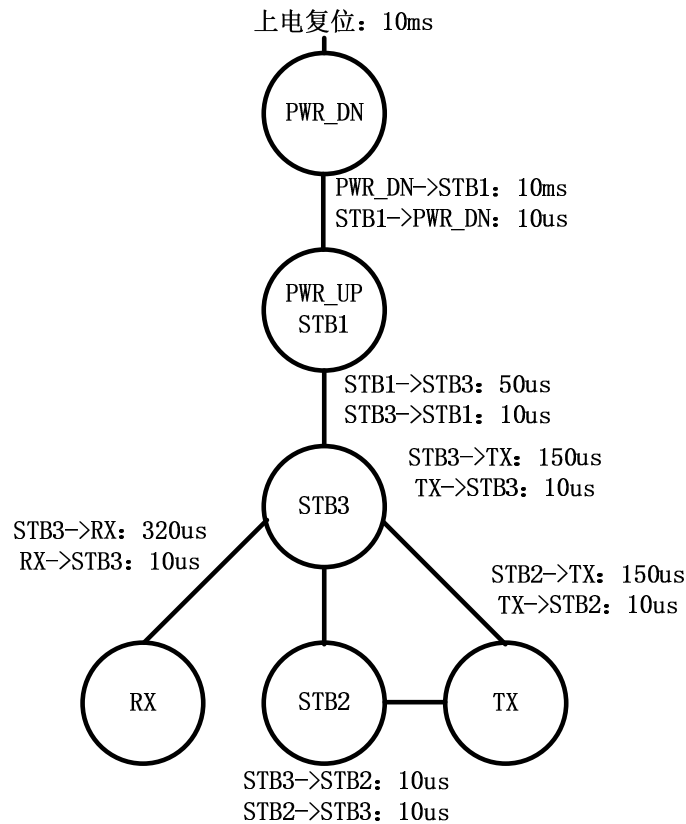


图6.1 工作状态图

表6 控制信号和功能描述

状态名	PWR_DN	STB1	STB3	STB2	RX	TX
控制信号						
PWR_UP	0	1	1	1	1	1
EN_PM	0	0	1	1	1	1
CE	0	0	0	1	1	1
PRIM_RX	X	X	X	0	1	0
功能描述						
SPI操作	√	√	√	√	√	√
保存reg值	√	√	√	√	√	√
晶振起振	X	√	√	√	√	√
晶振输出	X	X	X	√	√	√
电源管理 模块使能	X	X	√	√	√	√
发射模块 使能	X	X	X	X	X	√
接收模块 使能	X	X	X	X	√	X

6.1 休眠模式

在休眠模式下，PAN2418所有功能关闭，保持电流消耗最小。进入休眠模式后，PAN2418停止工作，但寄存器内容保持不变。休眠模式由寄存器中PWR_UP位控制。

6.2 待机模式-I (STB1)

在待机模式-I下，芯片维持晶振振荡但不输出给其它模块，其余功能模块均关闭，消耗电流较小。在休眠模式下，通过配置寄存器PWR_UP的值为1，芯片即可进入待机模式-I。而处于发射或接收模式时，可以通过配置CE和EN_PM控制信号为0，芯片返回到待机模式-I。

6.3 待机模式-III (STB3)

在待机模式-I时，配置EN_PM控制信号为1，芯片进入到待机模式-III。待机模式-III主要目的是使得芯片的电源管理模块必须先于晶振输出。

6.4 待机模式-II (STB2)

发送端TX FIFO寄存器为空并且CE引脚置1，进入待机模式-II（待机模式-II通常可以理解为预备发射模式）。此时，晶振有较强的输出驱动能力且芯片的电源管理模块开启。待机模式-II下，如果有数据包送入TX FIFO，此时芯片内部锁相环立刻启动工作并且经过一段锁相环的锁定时间后，发射机将数据包发射出去。

6.5 接收模式

当PWR_UP、PRIM-RX、EN_PM、CE置1时，进入接收模式。

在RX模式下，射频部分接收从天线来的信号，将其放大、下变频、滤波和解调，根据地址、校验码、数据长度等，判断是否收包有效，有效收包上传RX FIFO，上报中断。如果RX FIFO是满的，接收的数据包就会被丢弃。

6.6 发射模式

发射模式分别单包发射模式和连续发射模式，当FAST_MODE_EN置0时为单包发射模式，当FAST_MODE_EN置1时为连续发射模式。

当PWR_UP、EN_PM置1，PRIM-RX置0，CE置1，FAST_MODE_EN置0，且TX FIFO中存在有效数据，进入单包发射模式，在发送完1个数据包之前都会保持在发送模式。发送完成后，返回到待机模式。

当PWR_UP置1、CE引脚有置1脉冲（从0置1并维持20us以上，再置0）、PRIM-RX置0、FAST_MODE_EN置1，且TX FIFO中存在有效数据，进入连续发射模式。同时可以根据FAST_MODE_THRESHOLD来设置连续发射的数据包的数量。要返回到待机模式-III，MCU要通过SPI让FAST_MODE置0。

7 数据通信模式

PAN2418芯片搭配MCU来共同完成通信功能。链路层,如数据组帧、校验、地址判断、数据白化的扰码、数据重传和ACK响应等处理是由芯片内部完成的,无需MCU参与。

PAN2418有两个TX FIFO,都是512字节,可以一次性向两个FIFO总共写入两包数据包,也可以实现一个FIFO里的数据在发射,另一个FIFO里的数据在通过SPI写入,从而实现乒乓操作,RX FIFO和TX FIFO共用。在休眠模式和待机模式下,MCU可以访问FIFO寄存器。

PAN2418芯片主要有二种数据通信模式:

- ◆ 不带自动重传不带ACK的通信模式(后简称为普通模式),发射端可以使用命令有 W_TX_PAYLOAD, REUSE_TX_PL等;
- ◆ 带自动重传带ACK的通信模式(后简称为增强模式),发射端可以使用命令有 W_TX_PAYLOAD, W_TX_PAYLOAD_NOACK, REUSE_TX_PL等;接收端可以使用命令有 W_ACK_PAYLOAD等;

表7.1 普通模式

通信名称	普通模式	
通信方	PTX	PRX
特点	单向发送	单向接收
发送数据的组帧方式	I	无
开启REUSE_TX_PL命令	重复发送前一包数据	无

表7.2 增强模式

通信名称	增强模式	
通信方	PTX	PRX
特点	发送数据后,等待接收ACK	接收数据后,回发送ACK
发送数据的组帧方式	发送数据组帧方式II	回发送ACK组帧方式III

PTX使用REUSE_TX_PL命令	重复发送前一包数据	每收到一包，回发送ACK
PTX使用W_TX_PAYLOAD命令 PRX使用W_ACK_PAYLOAD命令	发送数据后，等待接收ACK PAYLOAD	接收数据后，回发送ACK PAYLOAD，组帧方式II
PTX使用W_TX_PAYLOAD_NOACK命令	发送一次数据，不等ACK，组帧方式II	接收数据，不回ACK

7.1 普通模式

普通模式下，发送端从TX FIFO寄存器中取出数据并且发送，发送完成后上报中断（中断需要清除），同时TX FIFO寄存器清除该数据（TX FIFO需要清空）；接收端接收到有效的地址和数据时上报中断通知MCU，随后MCU可将该数据从RX FIFO寄存器中读出（TX FIFO和RX FIFO需要清空，中断需要清除）。

普通模式，（0X01）EN_AA寄存器置0X00，（0X04）SETUP_RETR寄存器置0X00，（0X1C）DYNPD寄存器置0X00，（0X1D）FEATURE寄存器的低3 bit置000。

7.2 增强模式

增强模式下，把主动发起通信的一方称为PTX（主发端），把接收数据并响应的一方称为PRX（主收端）。PTX发出数据后等待应答信号，PRX接收到有效数据后回应答信号。PTX规定时间内未收到应答信号，自动重新发送数据。自动重传和自动应答功能为PAN2418芯片自带，无需MCU参与。

PTX在发送数据后自动转到接收模式等待应答信号。如果没有在规定时间内收到正确的应答信号，PTX将重发相同的数据包，直到收到应答信号，或传输次数超过ARC的值（SETUP_RETR寄存器）产生MAX_RT中断。PTX收到应答信号，即认为数据已经发送成功（PRX收到有效数据），清除TX FIFO中的数据并产生TX_DS中断（TX FIFO和RX FIFO需要清空，中断需要清除）。

PRX每次收到一包有效数据都会回ACK应答信号，该数据如果为新数据（PID值与上一

包数据不同)保存到RX FIFO, 否则就丢弃。

增强模式, 需要保证PTX的TX地址(TX_ADDR)、通道0的RX地址(如RX_ADDR_P0), 以及PRX的RX地址 (如RX_ADDR_P5) 三者相同。例: 在图5中, PTX5对应PRX的数据通道5, 地址设置如下:

PTX5 : TX_ADDR=0xC2C3C4C5C1

PTX5 : RX_ADDR_P0=0xC2C3C4C5C1

RX : RX_ADDR_P5=0xC2C3C4C5C1

增强模式有如下特征:

- ◆ 减少MCU的控制, 简化软件操作;
- ◆ 抗干扰能力强, 减少无线传输中因瞬间同频干扰造成的丢包, 更易开发跳频算法;
- ◆ 重传过程中, 减少MCU通过SPI接口的每次写入待发送数据的操作时间。

7.3 增强发送模式

1、CE置0, CONFIG寄存器的PRIM_RX位先置0。

2、当发送数据时, 发送地址 (TX_ADDR) 和有效数据 (TX_PLD) 通过SPI接口按字节写入地址寄存器和TX FIFO。CSN引脚为低时, 数据写入, CSN引脚再次为高, 数据完成写入。

3、CE从0置1, 启动发射 (CE至少持续置1在30us以上, 该操作生效)。

4、自动应答模式下 (SETUP_RETR寄存器置不为0, ENAA_P0 = 1), PTX发送完数据后立即自动将通道0切换到接收模式等待应答信号。如果在有效应答时间范围内收到ACK应答信号, 则认为数据发送成功, 状态寄存器的TX_DS位置1并自动清除TX FIFO中的数据。如果在设定时间范围内没有接收到应答信号, 则自动重传数据。

5、如果自动传输计数器 (ARC_CNT) 溢出 (超过了设定值), 则状态寄存器的MAX_RT位置1, 不清除TX FIFO中的数据。当MAX_RT或TX_DS为1时, IRQ引脚产生低电平中断 (需要使能相应中断)。中断可以通过写状态寄存器来复位。

6、数据包丢失计数器 (PLOS_CNT) 在每次产生MAX_RT中断后加一。自动传输计数器ARC_CNT统计重发数据包的次数; 数据包丢失计数器PLOS_CNT统计在达到最大允许传输次数时仍没有发送成功的数据包个数。

7、产生MAX_RT或TX_DS中断后, 系统进入待机模式。

7.4 增强接收模式

1、CE置0，CONFIG寄存器的PRIM_RX位先置1。准备接收数据的通道必须被使能（EN_RXADDR 寄存器），所有工作在增强型通信模式下的数据通道的自动应答功能是由EN_AA寄存器来使能的，有效数据宽度是由RX_PW_PX寄存器来设置的。

2、接收模式由设置CE为1启动。

3、预设的等待时间后，PRX开始检测无线信号。

4、接收到有效的数据包后，数据存储在RX_FIFO中，同时RX_DR位置1，产生中断。

状态寄存器中RX_P_NO位显示数据是由哪个通道接收到的。

5、自动发送ACK应答信号。

6、如果CE保持为1，继续进入接收模式；如果CE置为0，则进入待机模式-III；

7、MCU以合适的速率通过SPI口将数据读出。

7.5 增强模式下的数据包识别

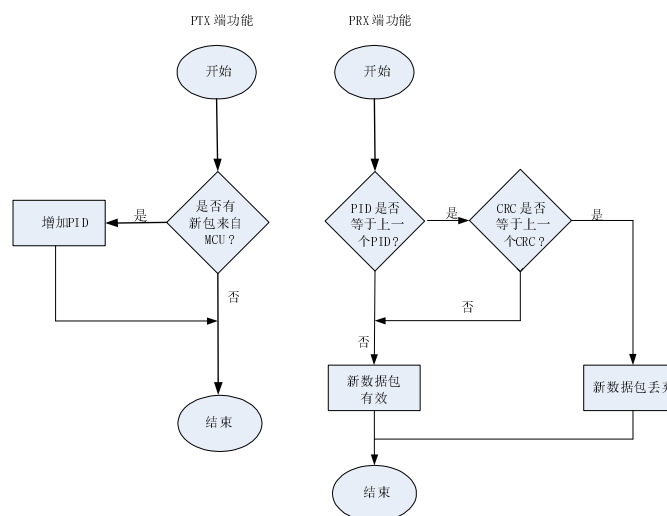


图7.1 PID生成和检测

每一包数据都包括两位的PID（数据包标志位），来帮助接收端识别该数据是新数据包还是重发的数据包，防止多次存入相同的数据包，PID的生成和检测如图7.1所示。发送端从MCU取得一包新数据后PID值加一。

7.6 增强模式下的 PTX 和 PRX 的时序图

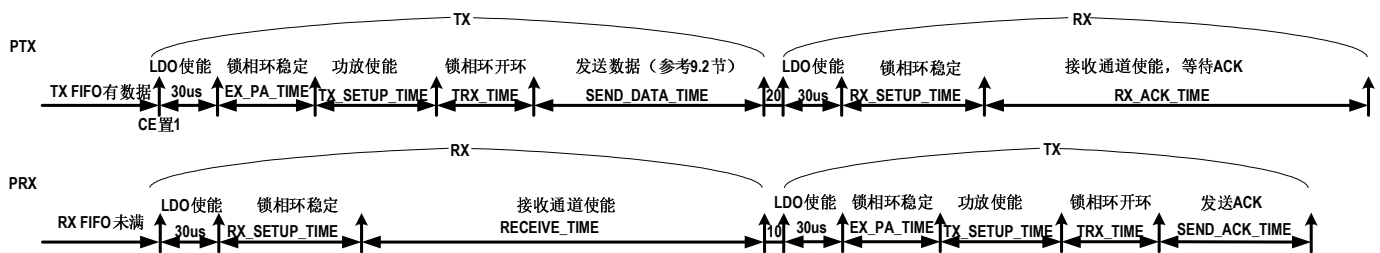


图7.2 增强模式下的PTX和PRX的时序图（发送成功）

如图 7.2 所示的是一次 PTX 和 PRX 通信的芯片内部时序图，使得通信成功必须满足以下两个条件：

- ◆ 条件 1、PTX（或 PRX）发射的锁相环稳定+功放使能+锁相环开环的三段时间之和，大于 PRX（或 PTX）接收的锁相环稳定时间 20us 以上，这样可以保证 PTX（或 PRX）发射数据的时间段落在 PRX（或 PTX）接收数据的时间段内，即：

$$EX_PA_TIME + TX_SETUP_TIME + TRX_TIME > RX_SETUP_TIME + 20us ;$$

- ◆ 条件 2、PRX 发送 ACK 的锁相环稳定+功放使能+锁相环开环+发送 ACK 的四段时间之和，小于 PTX 接收的锁相环稳定+等待 ACK 的两端时间之和 80us 以上，保证 PRX 回复 ACK 的时间端落在 PTX 等待 ACK 的时间段内，各时间段的定义参考 8 章；发送 ACK 的时间参考 9.2 节为，发送帧比特数 ÷ 通信数据率，即：

$$EX_PA_TIME + TX_SETUP_TIME + TRX_TIME + SEND_ACK_TIME < RX_SETUP_TIME + RX_ACK_TIME - 80us.$$

7.7 增强模式下的接收端一对多通信

PAN2418 芯片作为发射端，对于一对多通信，可以采用不同的地址与多个接收端进行通信。

PAN2418 芯片作为接收端，可以接收 6 路不同地址、相同频率的发送端数据。每个数据通道拥有自己的地址。

使能哪些数据通道是通过寄存器 EN_RXADDR 来设置的。每个数据通道的地址是通过寄存器 RX_ADDR_PX 来配置的。通常情况下不允许不同的数据通道设置完全相同的地址。如下，表 7.3 给出了一例多接收通道地址配置的示例。

表7.3 多通道地址设置

	Byte 4	Byte 3	Byte 2	Byte 1	Byte 0
Data pipe 0(RX_ADDR_P0)	0xF1	0xD2	0xE6	0xA2	0x33
Data pipe 1(RX_ADDR_P1)	0xD3	0xD3	0xD3	0xD3	0xD3
	↓	↓	↓	↓	
Data pipe 2(RX_ADDR_P2)	0xD3	0xD3	0xD3	0xD3	0xD4
	↓	↓	↓	↓	
Data pipe 3(RX_ADDR_P3)	0xD3	0xD3	0xD3	0xD3	0xD5
	↓	↓	↓	↓	
Data pipe 4(RX_ADDR_P4)	0xD3	0xD3	0xD3	0xD3	0xD6
	↓	↓	↓	↓	
Data pipe 5(RX_ADDR_P5)	0xD3	0xD3	0xD3	0xD3	0xD7

从表7.3可以看出数据通道0的5byte总共40位的地址都是可配的；数据通道1~5的地址配置为32位共用地址（与数据通道1共用）+8位各自的地址（最低字节）。

PAN2418芯片在接收模式下可以与最多6路不同通道通信，如图7.3所示。每一个数据通道使用不同的地址，共用相同的频道。所有的发射端和接收端设置为增强模式。

PRX在接收到有效数据后记录PTX的TX地址，并以此地址为目标地址发送应答信号。PTX数据通道0被用做接收应答信号时，数据通道0的RX地址要与TX地址相等以确保接收到正确的应答信号。图7.3给出了PTX和PRX地址如何配置的例子。

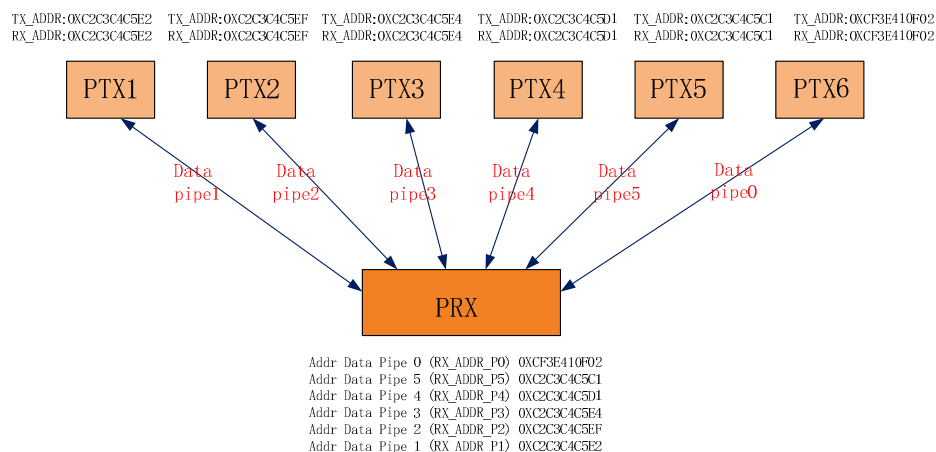


图7.3 多通道数据传输应答地址示例

7.8 DATA FIFO

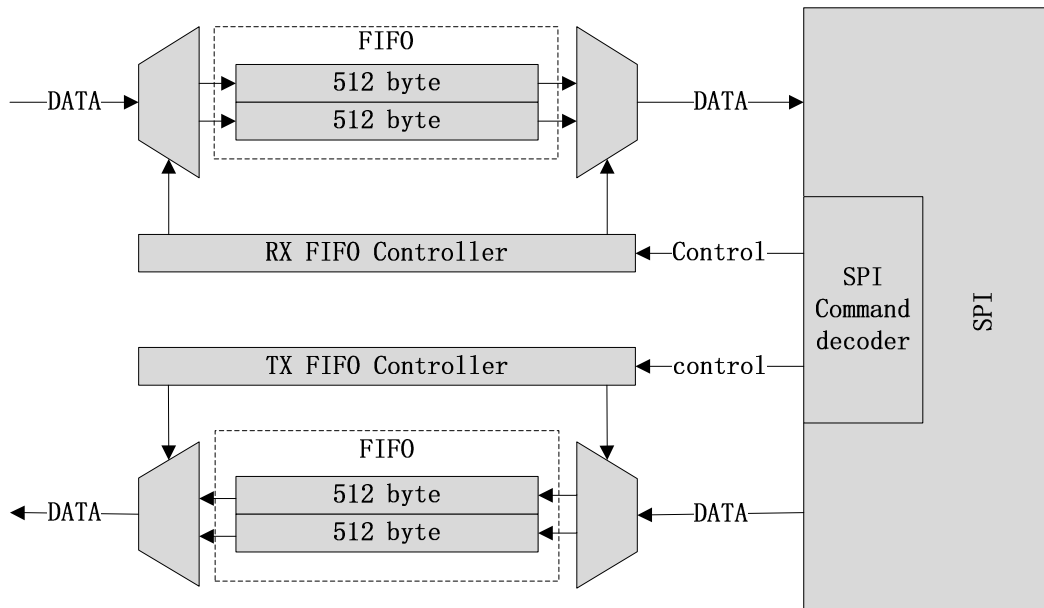


图7.4 FIFO 框图

PAN2418包含发TX_FIFO,RX_FIFO。通过SPI命令可读写FIFO。在发送模式下通过W_TX_PAYLOAD和W_TX_PAYLOAD_NO_ACK指令来写TX_FIFO。如果产生MAX_RT中断,在TX_FIFO中的数据不会被清除。在接收模式下通过R_RX_PAYLOAD指令读取RX_FIFO中的payload, R_RX_PL_WID指令读取payload的长度。FIFO_STATUS寄存器指示FIFO的状态。

7.9 中断引脚

PAN2418芯片的中断引脚 (IRQ) 为低电平触发, IRQ引脚初始状态为高电平, 当状态寄存器中TX_DS、RX_DR或MAX_RT为1, 以及相应的中断上报使能位为0时, IRQ引脚的中断触发。MCU给相应中断源写 '1' 时, 清除中断。IRQ引脚的中断触发可以被屏蔽或者使能, 通过设置中断上报使能位为1, 禁止IRQ引脚的中断触发。

8 SPI 控制接口

PAN2418芯片通过SPI控制接口对各寄存器进行读写操作。PAN2418芯片作为从机, SPI接口的数据率最高支持20Mbps。

SPI接口是标准的SPI接口见表8.1, 可以使用MCU的通用I/O口模拟SPI接口。CSN引脚

为0时，SPI接口等待执行指令。一次CSN引脚由1到0的变化执行一条指令。在CSN引脚由1变0后可以通过MISO来读取状态寄存器的内容。

表8.1 SPI接口

引脚名称	I/O接口方向	SPI引脚的功能描述
CSN	输入	片选使能，低电平使能
SCK	输入	时钟
MOSI	输入	串行输入
MISO	输出	串行输出

8.1 SPI 指令格式

表8.2 SPI指令格式

<命令字：由高位到低位（每字节）>

<数据字节：低字节到高字节，每一字节高位在前>

命令名称	命令字 (二进制)	后带数据 (字节数)	操作
R_REGISTER	000A AAAA	1 to 5 低字节在前	读状态寄存器 AAAAA=5bit 寄存器地址
W_REGISTER	001A AAAA	1 to 5 低字节在前	写状态寄存器 AAAAA=5bit 寄存器地址 仅在休眠和待机模式-I下执行。
R_RX_PAYLOAD	0110 0001	1 to 32/64 低字节在前	读接收数据，读操作通常由第0字节开始，读完过后数据将从RX FIFO中删除，接收模式下执行。
W_TX_PAYLOAD	1010 0000	1 to 32/64 低字节在前	写发射数据，写操作通常由0字节开始。
FLUSH_TX	1110 0001	0	清TX FIFO。
FLUSH_RX	1110 0010	0	清RX FIFO。
REUSE_TX_PL	1110 0011	0	用在PTX端，再次使用最后一帧发送的数据并且发送。该命令的执行需要在执行FLUSH_TX命令前可用。执行该命令之后需要使能CE触发TX，过程与首次TX一样。

ACTIVATE	0101 0000	1	用该命令后跟数据 0x73，将激活以下功能 <ul style="list-style-type: none"> • R_RX_PL_WID • W_TX_PAYLOAD_NOACK • W_ACK_PAYLOAD 该命令仅在休眠模式和待机模式下执行。
DEACTIVATE			用该命令后跟数据 0x8C，将关闭上述功能。
R_RX_PL_WID	0110 0000	0	读 RX FIFO 最顶部 RX-payload 数据宽度。
W_ACK_PAYLOAD	1010 1PPP	1 to 64 低字节在前	Rx 模式可用 写PIPE PPP (PPP 的值从000 到 101) 响应ACK 时同时回传的数据。最多可设置2个ACK 数据包。同PIPE 的数据将以先进先出的原则发送。 写操作通常从 0 字节开始。
W_TX_PAYLOAD_NOACK	1011 0000	1 to 32/64 低字节在前	写发射数据,写操作通常由 0 字节开始。TX 模式下执行,使用该命令发送数据不判自动应答。
CE_FSPI_ON	1111 1101	1	SPI 命令使 CE 内部逻辑置 1, 用该命令后跟数据 0x00。
CE_FSPI_OFF	1111 1100	1	SPI 命令使 CE 内部逻辑置 0, 用该命令后跟数据 0x00。
RST_FSPI_HOLD	0101 0011	1	用该命令后跟数据 0x5A, 使得进入复位状态并保持。
RST_FSPI_RELS			用该命令后跟数据 0xA5, 使得释放复位状态并开始正常工作。
NOP	1111 1111	0	无操作。

R_REGISTER 和 W_REGISTER 寄存器可能操作单字节或多字节寄存器。当访问多字节寄存器时首先要读/写的是最低字节的高位。对于多字节寄存器可以只写部分字节，没有写的高字节保持原有内容不变。例如：RX_ADDR_P0 寄存器的最低字节可以通过写一个字节给

寄存器 RX_ADDR_P0 来改变。

8.2 SPI 时序

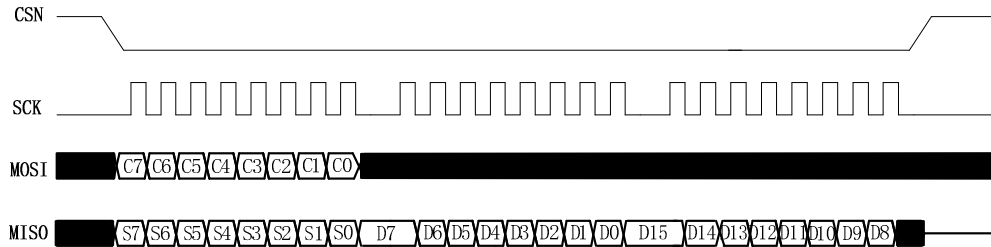


图8.1 SPI读操作

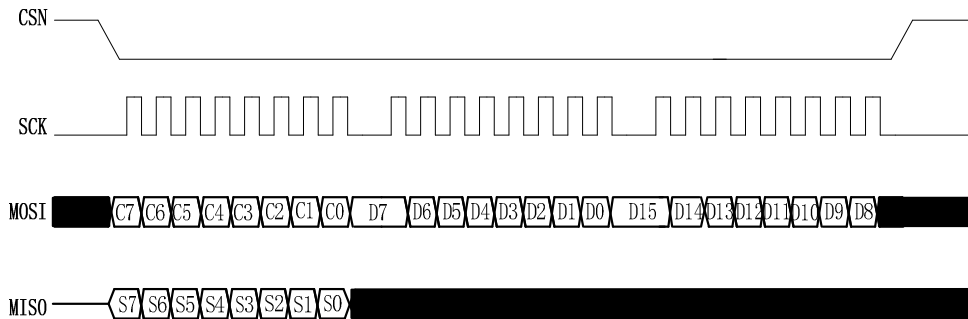


图8.2 SPI写操作

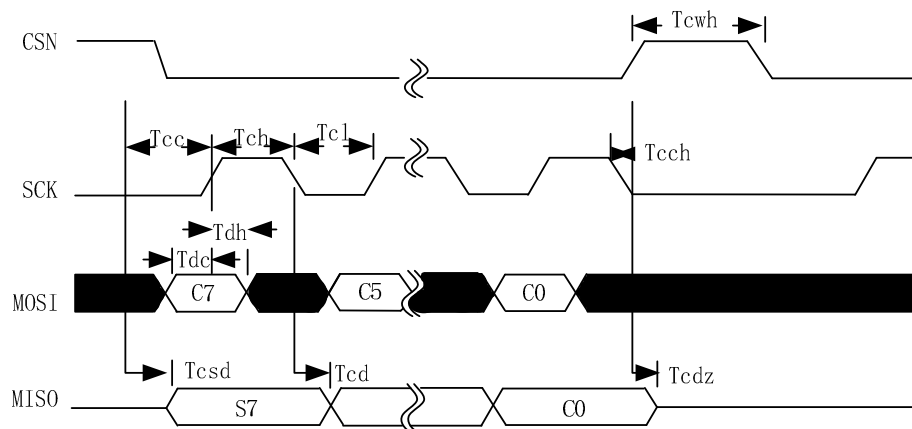


图8.3 SPI, NOP操作时序图

表8.3 SPI操作参考时间

SYMBOL	PARAMETERS	MIN	MAX	UNITS
Tdc	数据建立时间	15		ns
Tdh	数据保持时间	2		ns
Tcsd	CSN信号有效时间		40	ns
Tcd	SCK信号有效时间		51	ns

Tcl	SCK信号低电平时间	38		ns
Tch	SCK信号高电平时间	38		ns
Fsck	SCK信号频率		8	MHz
Tr,Tf	SCK信号上升下降时间		110	ns
Tcc	CSN信号建立时间	2		ns
Tcch	CSN信号保持时间	2		ns
Tcwh	CSN无效时间	49		ns
Tcdz	CSN信号高阻抗		40	ns

*注：表8.3的参数可根据选择的MCU进行调整

图8.1~8.3和表8.3给出了SPI操作及时序。在图中用到了下面的符号：

C_i -SPI指令位

S_i -状态寄存器位

D_i -数据位（备注：由低字节到高字节，每个字节中高位在前）

其中： $i = 1,2,3,\dots,n$ 。

9 控制寄存器

可以通过SPI读写操作表9中的寄存器，来配置和控制PAN2418。表9中未定义的寄存器，读取结果为“0”。

表9 控制寄存器

地址 (HEX)	寄存器	BIT	推荐值	读写	说明
00	CONFIG				工作寄存器
	EN_PM	7	0	R/W	进入 STB3 模式 (前提 PWR_UP=1) 1: 进入 STB3 0: 进入 STB1
	MASK_RX_DR	6	0	R/W	接收数据成功的中断上报使能位 1: 中断不反映到 IRQ 引脚 0: RX_DR 中断反映到 IRQ 引脚
	MASK_TX_DS	5	0	R/W	发送数据成功的中断上报使能位 1: 中断不反映到 IRQ 引脚 0: TX_DS 中断反映到 IRQ 引脚
	MASK_MAX_RT	4	0	R/W	发送失败并达到最大传输次数的 中断上报使能位

					1: 中断不反映到 IRQ 引脚 0: MAX_RT 中断反映到 IRQ 引脚
	EN_CRC	3	1	R/W	CRC 使能位 1: CRC 使能 0: CRC 不使能, 并且不判 CRC 校验
	CRC_SEL	2	1	R/W	CRC 选择 (缺少 CRC 公式) 1 : CRC16 0 : CRC8
	PWR_UP	1	0	R/W	芯片使能位 1: POWER_UP 0: POWER_DOWN
	PRIM_RX	0	0	R/W	RX/TX 控制位 1: PRX 0: PTX
01	EN_AA Enhanced Burst				接收通道的自动应答使能
	Reserved	7:6	00	R/W	Only 00 allowed
	ENAA_P5	5	0	R/W	使能 pipe5 自动应答
	ENAA_P4	4	0	R/W	使能 pipe4 自动应答
	ENAA_P3	3	0	R/W	使能 pipe3 自动应答
	ENAA_P2	2	0	R/W	使能 pipe2 自动应答
	ENAA_P1	1	0	R/W	使能 pipe1 自动应答
	ENAA_P0	0	1	R/W	使能 pipe0 自动应答
02	EN_RXADDR				接收通道使能
	Reserved	7:6	00	R/W	Only 00 allowed
	ERX_P5	5	0	R/W	使能 data pipe 5
	ERX_P4	4	0	R/W	使能 data pipe 4
	ERX_P3	3	0	R/W	使能 data pipe 3
	ERX_P2	2	0	R/W	使能 data pipe 2
	ERX_P1	1	0	R/W	使能 data pipe 1
	ERX_P0	0	1	R/W	使能 data pipe 0
03	SETUP_AW				地址宽度设置
	Reserved	7:2	000000	R/W	Only 000000 allowed
	AW	1:0	11	R/W	RX/TX 地址宽度



					00: 无效 01: 3 字节 10: 4 字节 11: 5 字节 如果地址宽度设置低于 5 字节， 地址使用低字节
04	SETUP_RETR				自动传输设置
	ARD	7:4	0000	R/W	自动传输延时 0000 :250μs 0001 :500μs 0010 :750μs 1111: 4000μs
	ARC	3:0	0011	R/W	自动传输次数设置 0000: 不带自动重传不带 ACK 的通信模式 0001 ~ 1111: 带自动重传的通信 模式 0001: 带 ACK 的 1 次传输 0002: 带自动重传带 ACK 的 2 次传输 1111: 带自动重传带 ACK 的 15 次传输
05	RF_CH				通信频道设置
	RF_CH	7:0	01001110	R/W	设置使用频道为 $FC<7:0>=(RF_CH<7:0>+64)$ %256 工作频率为 2400+RF_CH
06	RF_SETUP		C0		通信参数配置
	RF_DR	7:6	11	R/W	接收带通滤波器带宽设置： 11 大带宽 00 小带宽
	Reserved	5:0	000000	R/W	
07	STATUS				状态寄存器
	RX_LENGTH_8	7	0	R	接收长度的最高位
	RX_DR	6	0	R/W	RX FIFO 接收数据中断位，

					在新数据被接收并到达 RX FIFO 时产生中断。 写 1 清中断
	TX_DS	5	0	R/W	TX FIFO 发送数据成功中断位，在不带自动重传模式下，数据发送完成后产生中断； 在带自动重传模式下，仅在发送端收到 ACK 信号后才会将该位置高。 写 1 清中断
	MAX_RT	4	0	R/W	发送达到最大传输次数未成功中断位。 写 1 清中断 产生该中断后，继续进行通信必须先清该中断
	RX_P_NO	3:1	111	R	可从 RX_FIFO 读取的 pipe 号 000-101: pipe 号 110: Not Used 111: RX_FIFO 空
	TX_FULL	0	0	R	TX FIFO 满标志 1: TX FIFO 满 0: TX FIFO 未滿可用
08	OBSERVE_TX				传输状态寄存器
	PLOS_CNT	7:4	0	R	丢包计数器 该计数器达到最大值 15 时将停止计数， 该计数器在写 RF_CH 时被复位，未复位该值时可以继续进行通信
	ARC_CNT	3:0	0	R	自动重传的传输次数计数器 自动重传增加一次，ARC_CNT 加一； 在 ARC_CNT 达到 ARC 限定值时，视为丢包，并将 PLOS_CNT 加一； 当新数据写入 TX FIFO 时该计数器复位。
09	DATAOUT	[31:0]	04008000	R	数据读取寄存器（测试用）

	Reserved	31:27	00000	R	
	TST1	26:23	1000	R	测试信号 1
	TST2	22	0	R	测试信号 2
	TST3	21:16	000000	R	测试信号 3
	TST4	15:12	1000	R	测试信号 4
	PACKET_RSSI	11:6	000000	R	同步时刻 RSSI
	REALTIME_RSSI	5:0	000000	R	实时 RSSI
0A	RX_ADDR_P0	39:0	0xE7E7E 7E7E7	R/W	data pipe 0 的接收地址,最长 5 字节。(由低字开始写。地址长度由 SETUP_AW 定义)
0B	RX_ADDR_P1	39:0	0xC2C2C 2C2C2	R/W	data pipe 1 的接收地址,最长 5 字节。(由低字开始写。地址长度由 SETUP_AW 定义)
0C	RX_ADDR_P2	7:0	0xC3	R/W	data pipe 2 的接收地址,仅最低位, 高位等于 RX_ADDR_P1[39:8]
0D	RX_ADDR_P3	7:0	0xC4	R/W	data pipe 3 的接收地址,仅最低位, 高位等于 RX_ADDR_P1[39:8]
0E	RX_ADDR_P4	7:0	0xC5	R/W	data pipe 4 的接收地址,仅最低位, 高位等于 RX_ADDR_P1[39:8]
0F	RX_ADDR_P5	7:0	0xC6	R/W	data pipe 5 的接收地址,仅最低位, 高位等于 RX_ADDR_P1[39:8]
10	TX_ADDR	39:0	0xE7E7E 7E7E7	R/W	发送端地址(由低字节开始写)只能在配置为 PTX 模式的芯片中使用,需要设置 RX_ADDR_P0 等于该地址以便接收 ACK 自动应答。
11	RX_PW_P0	15:0	0x00		data pipe 0 中的 RX payload 的数据长度 (最大支持到 512 bytes)
	Reserved	15:10	000000	R/W	Only 0 allowed
	RX_PW_P0	9:0	00000000 00	R/W	data pipe 0 中的 RX payload 的数据长度(1 到 512 字节)

					0: 该 Pipe 未用 1 = 1 byte ... 32/64 = 32/64bytes ... 512 = 512 bytes
12	RX_PW_P1	15:0			data pipe 1 中的 RX payload 的数据长度
	Reserved	15:10	000000	R/W	Only 0 allowed
	RX_PW_P1	9:0	00000000 00	R/W	data pipe 1 中的 RX payload 的数据长度 (1 到 512 字节) 0: 该 Pipe 未用 1 = 1 byte ... 64 = 64 bytes ... 512 = 512 bytes
13	RX_PW_P2	15:0			data pipe 2 中的 RX payload 的数据长度
	Reserved	15:10	000000	R/W	Only 0 allowed
	RX_PW_P2	9:0	00000000 00	R/W	data pipe 2 中的 RX payload 的数据长度 (1 到 512 字节) 0: 该 Pipe 未用 1 = 1 byte ... 64 = 64 bytes ... 512 = 512 bytes
14	RX_PW_P3	15:0			data pipe 3 中的 RX payload 的数据长度
	Reserved	15:10	000000	R/W	Only 0 allowed
	RX_PW_P3	9:0	00000000 00	R/W	data pipe 3 中的 RX payload 的数据长度 (1 到 512 字节) 0: 该 Pipe 未用 1 = 1 byte ... 64 = 64 bytes

					... 512 = 512 bytes
15	RX_PW_P4	15:0			data pipe 4 中的 RX payload 的数据长度
	Reserved	15:10	000000	R/W	Only 0 allowed
	RX_PW_P4	9:0	00000000 00	R/W	data pipe 4 中的 RX payload 的数据长度 (1 到 512 字节) 0: 该 Pipe 未用 1 = 1 byte ... 64 = 64 bytes ... 512 = 512 bytes
16	RX_PW_P5	15:0			data pipe 5 中的 RX payload 的数据长度
	Reserved	15:10	000000	R/W	Only 0 allowed
	RX_PW_P5	9:0	00000000	R/W	data pipe 5 中的 RX payload 的数据长度 (1 到 512 字节) 0: 该 Pipe 未用 1 = 1 byte ... 64 = 64 bytes ... 512 = 512 bytes
17	FIFO_STATUS				FIFO 状态寄存器
	Reserved	7	0	R	
	TX_REUSE	6	0	R	调用上一帧数据发送的指示位 在使用REUSE_TX_PL命令后, 该位为1, 重传上一次发送中最后一帧数据。该位可以由命令 W_TX_PAYLOAD、 W_TX_PAYLOAD_NOACK、 DEACTIVATE、FLUSH TX进行 复位操作。
	TX_FULL	5	0	R	TX FIFO 满标志位 1: TX FIFO 满 0: TX FIFO 可用



	TX_EMPTY	4	1	R	TX FIFO 空标志位 1: TX FIFO 空 0: TX FIFO 有数据
	Reserved	3:2	0	R	
	RX_FULL	1	0	R	RX FIFO 满标志位 1: RX FIFO 满 0: RX FIFO 可用
	RX_EMPTY	0	1	R	RX FIFO 空标志位 1: RX FIFO 空 0: RX FIFO 有数据
N/A	TX_PLD	255:0	X	W	TX 发送数据 通过 SPI 命令写入 TX 数据
N/A	RX_PLD	255:0	X	R	RX 接收数据 通过 SPI 命令读出 RX 数据， 所有 RX PIPE 共享同一个 FIFO
18	PA_RAMP_CTL	159:0	07FFFFFF F8765432 10876543 21043210 76543210	R/W	用于 PA RAMP 控制
	Reserved	159:1 55	00000	R/W	
	PA_3ST_GC_RAM P_CTRL	154:1 46	11111111 1	R/W	PA_3ST_GC[8:0]控制 bit : 1 : 对应 bit 使能 0 : 对应 bit 不使能 154 – bit 8 153 – bit 7 152 – bit 6 151 – bit 5 150 – bit 4 149 – bit 3 148 – bit 2 147 – bit 1 146 – bit 0
	PA_3ST_RAMP_C TRL	145:1 37	11111111 1	R/W	PA_3ST_RAMP[8:0]控制 bit : 1 : 对应 bit 使能 0 : 对应 bit 不使能



					145 – bit 8 144 – bit 7 143 – bit 6 142 – bit 5 141 – bit 4 140 – bit 3 139 – bit 2 138 – bit 1 137 – bit 0
	PA_2ST_RAMP_C TRL	136:1 32	11111	R/W	PA_2ST_RAMP[4:0]控制 bit : 1 : 对应 bit 使能 0 : 对应 bit 不使能 136 – bit 4 135 – bit 3 134 – bit 2 133 – bit 1 132 – bit 0
	PA_1ST_RAMP_C TRL	131:1 24	11111111	R/W	PA_1ST_RAMP[7:0]控制 bit : 1 : 对应 bit 使能 0 : 对应 bit 不使能 131 – bit 7 130 – bit 6 129 – bit 5 128 – bit 4 127 – bit 3 126 – bit 2 125 – bit 1 124 – bit 0
	PA_3ST_GC_8_DL Y	123:1 20	1000	R/W	EN_PA 拉高到 PAGC_RAMP[8] 拉高的时间,计算公式, (PAGC_8_DLY+1)*2 us , 默认 18us
	PA_3ST_GC_7_DL Y	119:1 16	0111	R/W	EN_PA 拉高到 PAGC_RAMP[7] 拉高的时间,计算公式, (PAGC_7_DLY+1)*2 us , 默认 16us
	PA_3ST_GC_6_DL Y	115:1 12	0110	R/W	EN_PA 拉高到 PAGC_RAMP[6] 拉高的时间,计算公式, (PAGC_6_DLY+1)*2 us , 默认 14us



	PA_3ST_GC_5_DL Y	111:1 08	0101	R/W	EN_PA 拉高到 PAGC_RAMP[5] 拉高的时间,计算公式, $(\text{PAGC_5_DLY}+1)*2 \text{ us}$, 默认 12us
	PA_3ST_GC_4_DL Y	107:1 04	0100	R/W	EN_PA 拉高到 PAGC_RAMP[4] 拉高的时间,计算公式, $(\text{PAGC_4_DLY}+1)*2 \text{ us}$, 默认 10us
	PA_3ST_GC_3_DL Y	103:1 00	0011	R/W	EN_PA 拉高到 PAGC_RAMP[3] 拉高的时间,计算公式, $(\text{PAGC_3_DLY}+1)*2 \text{ us}$, 默认 8us
	PA_3ST_GC_2_DL Y	99:96	0010	R/W	EN_PA 拉高到 PAGC_RAMP[2] 拉高的时间,计算公式, $(\text{PAGC_2_DLY}+1)*2 \text{ us}$, 默认 6us
	PA_3ST_GC_1_DL Y	95:92	0001	R/W	EN_PA 拉高到 PAGC_RAMP[1] 拉高的时间,计算公式, $(\text{PAGC_1_DLY}+1)*2 \text{ us}$, 默认 4us
	PA_3ST_GC_0_DL Y	91:88	0000	R/W	EN_PA 拉高到 PAGC_RAMP[0] 拉高的时间,计算公式, $(\text{PAGC_0_DLY}+1)*2 \text{ us}$, 默认 2us
	PA_3ST_8_DLY	87:84	1000	R/W	EN_PA 拉高到 PA_RAMP[8]拉高的时间,计算公式, $(\text{PA_8_DLY}+1)*2 \text{ us}$, 默认 18us
	PA_3ST_7_DLY	83:80	0111	R/W	EN_PA 拉高到 PA_RAMP[7]拉高的时间,计算公式, $(\text{PA_7_DLY}+1)*2 \text{ us}$, 默认 16us
	PA_3ST_6_DLY	79:76	0110	R/W	EN_PA 拉高到 PA_RAMP[6]拉高的时间,计算公式, $(\text{PA_6_DLY}+1)*2 \text{ us}$, 默认 14us
	PA_3ST_5_DLY	75:72	0101	R/W	EN_PA 拉高到 PA_RAMP[5]拉高的时间,计算公式, $(\text{PA_5_DLY}+1)*2 \text{ us}$, 默认 12us
	PA_3ST_4_DLY	71:68	0100	R/W	EN_PA 拉高到 PA_RAMP[4]拉高的时间,计算公式, $(\text{PA_4_DLY}+1)*2 \text{ us}$, 默认 10us
	PA_3ST_3_DLY	67:64	0011	R/W	EN_PA 拉高到 PA_RAMP[3]拉高的时间,计算公式, $(\text{PA_3_DLY}+1)*2 \text{ us}$, 默认 8us
	PA_3ST_2_DLY	63:60	0010	R/W	EN_PA 拉高到 PA_RAMP[2]拉



					高的时间,计算公式, (PA_2_DLY+1)*2 us , 默认 6us
	PA_3ST_1_DLY	59:56	0001	R/W	EN_PA 拉高到 PA_RAMP[1]拉高的时间,计算公式, (PA_1_DLY+1)*2 us , 默认 4us
	PA_3ST_0_DLY	55:52	0000	R/W	EN_PA 拉高到 PA_RAMP[0]拉高的时间,计算公式, (PA_0_DLY+1)*2 us , 默认 2us
	PA_2ST_4_DLY	51:48	0100	R/W	EN_DA2 拉高到 DA2_RAMP[4]拉高的时间,计算公式, (DA2_4_DLY+1)*2 us , 默认 10us
	PA_2ST_3_DLY	47:44	0011	R/W	EN_DA2 拉高到 DA2_RAMP[3]拉高的时间,计算公式, (DA2_3_DLY+1)*2 us , 默认 8us
	PA_2ST_2_DLY	43:40	0010	R/W	EN_DA2 拉高到 DA2_RAMP[2]拉高的时间,计算公式, (DA2_2_DLY+1)*2 us , 默认 6us
	PA_2ST_1_DLY	39:36	0001	R/W	EN_DA2 拉高到 DA2_RAMP[1]拉高的时间,计算公式, (DA2_1_DLY+1)*2 us , 默认 4us
	PA_2ST_0_DLY	35:32	0000	R/W	EN_DA2 拉高到 DA2_RAMP[0]拉高的时间,计算公式, (DA2_0_DLY+1)*2 us , 默认 2us
	PA_1ST_7_DLY	31:28	0111	R/W	EN_DA1 拉高到 DA1_RAMP[7]拉高的时间,计算公式, (DA1_7_DLY+1)*2 us , 默认 16us
	PA_1ST_6_DLY	27:24	0110	R/W	EN_DA1 拉高到 DA1_RAMP[6]拉高的时间,计算公式, (DA1_6_DLY+1)*2 us , 默认 14us
	PA_1ST_5_DLY	23:20	0101	R/W	EN_DA1 拉高到 DA1_RAMP[5]拉高的时间,计算公式, (DA1_5_DLY+1)*2 us , 默认 12us
	PA_1ST_4_DLY	19:16	0100	R/W	EN_DA1 拉高到 DA1_RAMP[4]拉高的时间,计算公式, (DA1_4_DLY+1)*2 us , 默认 10us
	PA_1ST_3_DLY	15:12	0011	R/W	EN_DA1 拉高到 DA1_RAMP[3]拉高的时间,计算公式, (DA1_3_



					DLY+1)*2 us , 默认 8us
	PA_1ST_2_DLY	11:8	0010	R/W	EN_DA1 拉高到 DA1_RAMP[2] 拉高的时间,计算公式, (DA1_2_DLY+1)*2 us , 默认 6us
	PA_1ST_1_DLY	7:4	0001	R/W	EN_DA1 拉高到 DA1_RAMP[1] 拉高的时间,计算公式, (DA1_1_DLY+1)*2 us , 默认 4us
	PA_1ST_0_DLY	3:0	0000	R/W	EN_DA1 拉高到 DA1_RAMP[0] 拉高的时间,计算公式, (DA1_0_DLY+1)*2 us , 默认 2us
19	DEMODO_CAL	71:0		R/W	调制解调参数寄存器 (可由方案需要来配置)
	SPI_CAL_EN	71	0	R/W	VCO 单次触发自动校正过程 每次该位从 0 置 1 的过程都会触发一次 VCO 自动校正过程
	FAST_LOCK_EN	70	1	R/W	1 : 使能 pll 的快速锁定功能 0 : 不使能
	DF_SEL	69:64	011010	R/W	与 GAUSS_SCALE_INBAND 配合使用以调整带内 deviation 111111 : 大 deviation 000000 : 小 deviation
	PHASE_ADJ	63	0	R/W	调整 gauss_filter 内 16M 时钟对发射数据的采样相位
	TWO_POINT_SPI_TRIG	62	0	R/W	两点式校正的 SPI 触发信号, 下降沿触发
	TWO_POINT_CODE_IN	61:58	1000	R/W	设置两点式校正 code
	EN_TWO_POINT_CAL	57	0	R/W	使能两点式发射自动校正 1 : 使能, 可以进行 auto cal , 其值存储在 TWO_POINT_CAL_REG 0 : 不使能, 不能进行 auto cal , 将 TWO_POINT_CODE_IN 使用 注 : auto cal 需要在 STB2 状态下进行
	GAUSS_OUTBAND_DELAY	56:51	000000	R/W	调整带外发射 delay 111111 : 延时长



					000000 : 延时短
	GAUSS_INBAND_DELAY	50:45	000000	R/W	调整带内发射 delay 111111 : 延时长 000000 : 延时短
	CHIP	44	0	R/W	设置芯片是否进入测试模式 1: 进入测试模式 0: 退出测试模式
	CARR_MOSI	43	0	R/W	代替 MOSI, 进单载波 1: 使能
	CARR_CSK	42	0	R/W	代替 CSK, 进单载波 1: 使能
	CLK_EN	41	1	R/W	锁相环 DELTA-SIGMA 调制器时钟使能设置 1 : 使能 0 : 不使能
	CTL_DITHER_LSB	40:38	000	R/W	锁相环 DELTA-SIGMA 调制器加抖系数设置 111 : 系数 7 000 : 系数 0
	CTL_DITHER_SHAPE	37	0	R/W	锁相环 DELTA-SIGMA 调制器加抖模块使能设置 1 : 使能 0 : 不使能
	DIV2_EN	36	0	R/W	锁相环 DELTA-SIGMA 调制器除 2 模块使能设置 1 : 使能 0 : 不使能
	DS_SHIFT	35	0	R/W	锁相环 DELTA-SIGMA 调制器移位使能设置 1 : 使能 0 : 不使能
	INV_CLK_EN	34	0	R/W	锁相环 DELTA-SIGMA 调制器反向工作模式使能设置 1 : 使能 0 : 不使能
	MASH2_MODE	33	0	R/W	锁相环 DELTA-SIGMA 调制器 mash2 模式使能设置



					1 : 使能 0 : 不使能
	Reserved	32	0	R/W	
	SHIFT_OFFSET	31	0	R/W	锁相环 DELTA-SIGMA 调制器移位偏置使能设置 1 : 使能 0 : 不使能
	INT_MODE_EN	30	0	R/W	锁相环工作模式设置 1 : 整数模式 0 : 小数模式
	DAC_BASAL	29:24	011111	R/W	预发送阶段的 GF1(带外)输出数据给 DAC 的初始值
	DAC_BASAL2	23:18	011111	R/W	预发送阶段的 GF2(带内)输出数据的初始值
	TP_CODE_OFFSET	17:15	000	R/W	两点式校正偏置 (有符号数) 000: 0 100: -4 011: 3 111: -1
	EN_VCO_CAL	14	1	R/W	VCO 自动校正使能位 1 : 使能 0 : 不使能
	SYNC_BYPASS	13:12	00	R/W	控制 dig2 的同步器是否 bypass 1 : bypass, 0 : no bypass 高位控制 gauss_filter_inband 低位控制 gauss_filter_outband
	MANUL_VCO_CODE	11	0	R/W	在 EN_VCO_CAL=0 时有效。 1 : 使用 REG_1A<64:57> 定义的 code 0 : 使用之前自动 calibration 后自动保存的 code
	GAUSS_CTRL	10:9	00	R/W	发射方式选择 11 : 非正常模式 10 : 非正常模式 01 : 非正常模式



					00 : 正常模式
	GAUS_SCALE_INB AND	8:5	1000	R/W	高斯滤波器输出到 Delta-Sigma 的信号大小调整, 该输出信号大小是发射调制频偏大小的决定因素之一 1111: 信号较小 1000: 信号中等 0000: 信号较大
	SEL_KVCO_DAC	4	1	R/W	发射 DAC 路 VCO 的 KVCO 控制 1:大 Kvco 0:小 Kvco
	FAST_MODE_EN	3	0	R/W	1 : 使能(basic) 连续发射模式, 省掉了 TX_SET 的时间; 2 : 不使能快速发射模式
	Reserve	2	0	R/W	
	FEC_EN	1	0	R/W	1 : 使能 fec 0 : 不使能 fec
	Scramble_en	0	1	R/W	扰码功能是否使能, 开启扰码功能可以对于待发送的数据进行白化操作, 从而减少长 1 长 0 数据, 使能扰码功能需要收发两端进行相同配置 1: 使能扰码 0: 关闭扰码
1A	RF_CAL2	71:0	21108050 9F2CA3B E04		补充射频寄存器 (一般使用默认值)
	CP_R1	71	0	R/W	LPF R1 选择, 0,45k ; 1,72k
	RES_SEL	70:69	01		00: 26kR, 01: 24kR, 10: 22kR,(推荐) 11: 20kR
	EN_RSSI_IB	68	0	R/W	RSSI 电流源使能
	EN_RSSI	67	0	R/W	RSSI 使能
	EN_ADC	66	0	R/W	RSSI 的 ADC 模块使能



	CP_BS	65	0	R/W	CP 电流选择 CP_BS=0, CP 偏置电流*0.5 CP_BS=1, CP 偏置电流*1
	VCO_RX_CODE_IN	64:61	1000	R/W	VCO 频段选择位, RX 仅在 EN_VCO_CAL 为 0 时有效 1111: 高频段 0000: 低频段
	VCO_TX_CODE_IN	60:57	1000	R/W	VCO 频段选择位, TX 仅在 EN_VCO_CAL 为 0 时有效 1111: 高频段 0000: 低频段
	TEMP_GAIN	56:55	01	R/W	温度检测电路的增益控制
	CP_R2	54	0	R/W	PLL 的 R2 选择 1 : 10k 0 : 5k
	CP_C2	53	0	R/W	PLL 的 C2 选择 1 : 7.6pF 0 : 3.8pF
	CP_C0	52	0	R/W	PLL 的 C0 选择 1 : 11.4pF 0 : 5.7pF
	BYP_FT	51	0	R/W	PLL 环路滤波器外置, 内部滤波器断开 1 : 内部滤波器断开 0 : 内部滤波器连接
	TST_CTL	50:48	000	R/W	设置为 000
	IBUF_SEL	47:46	01	R/W	Prescaler 前的 buffer 电流选择 00 : ×2 01 : ×3 10 : ×4 11 : ×5
	ADC_IN_SEL	45:44	01	R/W	ADC 输入选择, 10,选温度检测, 01 选 RSSI
	IRQ_inv_sel	43	0	R/W	IRQ (EN_PA) 输出是否取反 1 : 输出取反 0 : 输出不取反
	ADC_CLK_SEL	42:41	00	R/W	ADC 输入时钟选择 : 00,4M;01 ,



					2M;10,1M;11 , 0.5M
	BPF_B1_CAP	40	0	R/W	滤波器电容阵列粗调
	BPF_B0_CAP	39	1	R/W	滤波器电容阵列粗调
	LNA2_CTM	38:37	00	R/W	LNA 增益 peak2 频率控制 : 00 最低 , 11 最高
	OSC_IC	36	1	R/W	OSC 的激励电流选择 1 : ×1 0 : ×0.75
	CLK_SEL	35:34	11	R/W	内部晶振信号输出频率选择 00: 16MHz 01: 8MHz 10: 4MHz 11: 2MHz
	LNA2_IB_CTL	33:32	11	R/W	LNA2 电流控制 : 11 最高 , 此时增益最高 , 00 电流和增益均最小
	MIXH_GC_CTL	31	0	R/W	mixerH 增益控制 : 1 最高 , 0 增益最低
	BUF_IC	30:29	01	R/W	VCO 驱动 MIXH 的驱动器电流选择 00: 600uA 01: 800uA 10: 1mA 11: 1.2mA
	VCO_CT	28:27	01	R/W	VCO 负载添加电容选择 00: 电容少 , VCO 频率高 11: 电容多 , VCO 频率低
	CAL_VREF_SEL	26	1	R/W	VCO 自动校正参考电压选择 1: 1.15V 0: 1.25V
	MIXH_IB_CTL	25	0	R/W	mixerH 电流控制 : 1 最高 , 0 电流减少 40%
	RSSI_OUT_DC	24:22	010	R/W	RSSI 输出范围调整 , 000~111 RSSI 输出 DC 可太高 400mV
	DA_LPF_BW	21	1	R/W	DAC 的滤波带宽选择 1: 宽带 0: 窄带
	RX_CTM	20:19	00	R/W	LNA 的谐振频率 (负载电容) 选



					择, 00: 2.45GHz 01: 2.52GHz 10: 2.59GHz 11: 2.66GHz
	RCCAL_EN	18	0	R/W	接收带通滤波器的自动校正使能 1: 使能 0: 不使能
	LNA_BC	17	1	R/W	LNA 电流控制 1: 正常工作电流 0: 电流减半
	DA_LPF_CTRL	16	1		DAC 的输出幅度控制位 1: 输出幅度×1 倍 0: 输出幅度×0.5 倍
	IPRE_SEL	15:14	10	R/W	预分频器直流电流选择 00: ×5 01: ×6 10: ×7 11: ×8
	RX_BPF_GC	13:10	1111	R/W	滤波器增益控制 : 0000~1111 5.5dB~23.5dB
	RCCAL_IN	9:4	100000	R/W	接收带通滤波器中频校正位设置, 仅在 RCCAL_EN 为 0 时有效 111111: 中频中心频率低 000000: 中频中心频率高
	CPSEL	3:2	01	R/W	锁相环电荷泵电流设置 00: 26uA 01: 52uA 10: 78uA 11: 104uA
	SAR_ADC_CLK_SAMPLE_SEL	1	0	R/W	SAR ADC 数据采样时钟选择 : 1 : 上升沿采样 0 : 下降沿采样
	RSSI_SEL	0	0	R/W	RSSI 输出数据方式 (测试用)



					1: 采样信号经过滤波器 0: 采样信号不经过滤波器
1B	DEM_CAL2	47:0	00AAAA0 2DF0B		补充解调参数寄存器 (一般使用默认值)
	Reserved	47:44	0000	R/W	
	FAST_MODE_THRESHOLD	43:40	0000	R/W	在 fast_mode 模式下,设置发射多少包主状态机进入 RAMP_DOWN 状态: 0000 : 从不进入 RAMP_DOWN 0001 : 发送 1 包进入 0010 : 发送 2 包进入 1111 : 发送 15 包进入
	FRA_SPI_IN	39:28	10101010 1010	R/W	小数加抖从 SPI 输入的小数值
	VCO_DLY_SEL	27:26	10	R/W	从 vco_cal 被触发到 vco_cal 真正开始的延迟时间(即给滤波器电容充电时间)选择。信号值分别为 00/01/10/11 对应的延迟时间分别为 3/6/9/12us。
	FRA_SPI_IN_EN	25	1	R/W	小数加抖选择信号。仅当 CH7 为 0 时起作用。信号为 1 时小数 0/0.25/0.5/0.75 做加抖处理。
	CH7	24	0	R/W	小数加抖选择信号。信号为 1 时所有小数都做加抖处理。
	PIN	23:21	000	R/W	设置芯片进入测试模式后的输出 PIN (MISO 引脚/IRQ 引脚) 000(且 CHIP 为 0)为工作模式,作数据输出和中断输出 000(且 CHIP 为 1)为测试灵敏度模式,作解调数据和时钟输出 110(且 CHIP 为 1)为测试接收模式,作 limit I 和 Q 两路输出
	EN_RX	20	0	R/W	接收通道是否与锁相环同时开启 1: 同时打开 0: 分时打开

	DELAY1	19	0	R/W	锁相环开环是否使能，锁相环使能开环状态可以作为发射的载波漂移测试 1: 锁相环使能开环 0: 锁相环开环受状态机控制
	DELAY0	18	0	R/W	解调器是否叠加收报的初始偏移量，解调器不叠加初始偏移量可作为接收灵敏度测试 1: 不叠加初始偏移量 0: 叠加初始频偏，接收状态下可以抵消由于中心频偏引起的误码
	TH1	17	1	R/W	在待机模式-II 下，LDO（除 DVDD 的 LDO 外）是否使能，在测试模式下，测试发射单载波和接收灵敏度时该位置 1 1: 使能 0: 不使能
	PTH	16:13	0110	R/W	接收机数字解调器前导码相关阈值设置，24 位前导码的相关阈值 = PTH+16 1000: 24 位 0110: 22 位 0000: 16 位
	SYNC_SEL	12	1	R/W	接收机数字解调器的 4 倍采样，取几点相关上计算该位数据正确 1: 3bit 0: 2bit
	DECOD_INV	11	1	R/W	前导码是否按位取反，一般置 1 使能该功能需要收发两端进行 1: 不按位取反 0: 按位取反
	GAIN1	10:7	1110	R/W	解调器的数据中心值调整环路的基准波形的幅度，置 1110
	GAIN2	6:1	000101	R/W	解调器的数据中心值调整环路的根据基准波形的调整速度，置 000101
	AGGRESSIVE	0	1	R/W	解调器的码率同步单元的速度选



					<p>择</p> <p>1: 大步长调整, 速度快</p> <p>0: 小步长调整, 速度慢</p>
1C	DYNPD				动态 PAYLOAD 长度使能
	Reserved	7:6	00	R/W	Only 00 allowed
	DPL_P5	5	0	R/W	使能 PIPE 5 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P5)
	DPL_P4	4	0	R/W	使能 PIPE 4 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P4)
	DPL_P3	3	0	R/W	使能 PIPE 3 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P3)
	DPL_P2	2	0	R/W	使能 PIPE 2 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P2)
	DPL_P1	1	0	R/W	使能 PIPE 1 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P1)
	DPL_P0	0	0	R/W	使能 PIPE 0 动态 PAYLOAD 长度 (需要 EN_DPL 和 ENAA_P0)
1D	FEATURE	7:0		R/W	特征寄存器
	EN_AUTO_CLEAR_RX_DR_IRQ	7	0	R/W	在 RX 端, 当该使能信号为 1 并且 rx_fifo 为空的时候, RX_DR irq 被自动清除
	SEL_CHAN_H	6	0	R/W	工作频率 F0 设置 1: $F0=2314+RF_CH<6:0>$ 0: $F0=2400+RF_CH<6:0>$
	CE_SEL	5	0	R/W	使能 CE 用命令方式开启 0: CE 由 CE PIN 控制 1: CE 由命令方式控制
	DATA_LEN_SEL	4:3	00	R/W	数据长度选择 11: 非法 00: 512bit
	EN_DPL	2	0	R/W	使能动态 PAYLOAD 长度



	EN_ACK_PAY	1	0	R/W	使能 ACK 带 PAYLOAD
	EN_DYN_ACK	0	0	R/W	使能 W_TX_PAYLOAD_NOACK 命令
1E	RF_CAL	39:0	80345DE 3F0	R/W	射频参数寄存器
	SEL_TXBUF	39	1	R/W	射频信号路径选择 1: 经过 TXBUF 0: 经过 TSTBUF
	ICP_NS	38:37	00	R/W	PLL 的 CP 的 NMOS 的 shift 电 流调节, 根据 CP_BS=1/0, 有 11: 1.5uA/0.75uA 10: 1uA/0.5uA 01: 0.5uA/0.25uA 00: 0/0
	TST1	36	0	R/W	设置为 0
	TST2	35	0	R/W	设置为 0
	TST3	34	0	R/W	设置为 0
	TST4	33	0	R/W	设置为 0
	TST5	32	0	R/W	设置为 0
	TST6	31	0	R/W	设置为 0
	TST7	30	0	R/W	设置为 0
	PA_1ST_CTM	29:27	110	R/W	PA_1ST 谐振点调节: 000~111
	PA_2ST_CTM	26:24	100	R/W	PA_2ST 谐振点调节: 000~111
	EN_CLK_OUT	23	0	R/W	内部晶振信号输出选择 1: 内部晶振信号输出给 PIN 2: 内部晶振信号不输出 PIN
	DA_VREF_MB	22:20	101	R/W	DAC 的高参考电压位, 高参考电压位值较大, DAC 输出 幅度较大 111: 高参考电压位值大 000: 高参考电压位值小
	DA_VREF_LB	19:17	110	R/W	DAC 的低参考电压位, 低参考电压位值较小, DAC 输出 幅度较大 111: 低参考电压位值小 000: 低参考电压位值大



	TX_VCO_BIAS	16:13	1111	R/W	TX VCO 尾电流选择 000~111: 1倍~15倍
	MIXL_GC_CTL	12	0	R/W	接收 MIXL 的增益选择 1: 14dB 0: 8dB
	IB_VCO_CTL	11:10	00	R/W	PLL VCO 的 bias 电流调整 00 : IPTAT=68uA,IBG=0 uA; 01 : IPTAT=51uA,IBG=9 uA; 10 : IPTAT=34uA,IBG=18uA; 11 : IPTAT=27uA,IBG=17 uA;
	LNA_GC	9:8	11	R/W	LNA 增益选择 11: 17dB 10: 11dB 01: 5.4dB 00: -0.4dB
	RX_VCO_BIAS	7:4	1111	R/W	VCO 电流设置 固定: 500uA 0001: +75uA 0010: +150uA 0100: +300uA 1000: +600uA
	EN_TEMP	3	0	R/W	
	EN_TST_BUF	2	0	R/W	
	MIXL_BC	1	0	R/W	接收 MIXL 电流选择 1: ×1 0: ×0.5
	IB_BPF_TRIM	0	0	R/W	接收带通滤波器的电流选择 1: ×1 0: ×0.5
1F	BB_CAL	95:0	0050AFFF 01EE0201 01010002	R/W	数字基带参数寄存器 (一般使用默认值)
	Reserved	95:93	000	R/W	
	TST8	92	0	R/W	设置为 0
	TST9	91	0	R/W	设置为 0
	TST10	90	0	R/W	设置为 0
	TST11	89	0	R/W	设置为 0



	RX_SETUP_TIME	88:82	0010100	R/W	RX 射频通路锁相环稳定时间， 时间长度计算： $RX_SETUP_TIME \times 16$ ，单位为 us,范围{0,2032}us，默认 320us
	RX_ACK_TIME	81:76	001010	R/W	PTX 转为接收模式后等待 ACK 的最长时间，超出该时间则认为本次传输失败， 6Mbps 模式下的时间长度计算： $RX_ACK_TIME \times 8$ ，单位为 us
	DA1_OFF_TIME	75:72	1111	R/W	内部 DA1 关闭等待时间，计算： $DA1_OFF_TIME \times 2$ ，单位 us， 范围{0,30}us，默认 30us
	DA2_OFF_TIME	71:68	1111	R/W	内部 DA2 关闭等待时间，计算： $DA2_OFF_TIME \times 2$ ，单位 us， 范围{0,30}us，默认 30us
	PA_OFF_TIME	67:64	1111	R/W	内部 PA 第四级关闭等待时间， 计算： $PA_OFF_TIME \times 2$ ，单位 us， 范围{0,30}us，默认 30us
	PAOUT_OFF_TIME	63:57	0000000	R/W	外部 PA 关闭等待时间，计算： $PAOUT_OFF_TIME \times 1$ ，单位 us， 范围{0,127}us，默认 0us
	DATA_OFF_TIME	56:53	1111	R/W	数据发送后等待时间，计算： $DATA_OFF_TIME \times 1$ ，单位 us， 范围{0,15}us，默认 15us
	TRX_TIME	52:49	0111	R/W	锁相环开环到开始发射数据的时间间隔，时间长度计算： $TRX_TIME \times 4$ ，单位为 us， 范围{0,60}us，默认 28us
	PAOUT_SETUP_TIME	48:42	0000000	R/W	EN_PAO 拉高到 TX_data 开始发射的时间间隔，计算公式： $PAOUT_SETUP_TIME \times 1$ ，单位 us， 范围{0,127}us，默认 0us
	PA_SETUP_TIME	41:33	10000000 0	R/W	EN_PA 拉高到 EN_PAO(外部 PA)拉高的时间间隔，时间长度计算： $PA_SETUP_TIME \times 1$ ，单位为 us 范围{0,511}us，默认 256us



	DA2_SETUP_TIME	32:25	10000000	R/W	EN_DA2 拉高到 EN_PA 拉高之间的时间间隔，计算公式： DA2_SETUP_TIME×1，单位 us 范围{0,255}us，默认 128us
	DA1_SETUP_TIME	24:17	10000000	R/W	EN_DA1 拉高到 EN_DA2 拉高之间的时间间隔，计算公式： DA1_SETUP_TIME×1，单位 us 范围{0,255}us，默认 128us
	TX_SETUP_TIME	16:8	10000000 0	R/W	发射 PA 使能到锁相环开环的时间间隔，时间长度计算： TX_SETUP_TIME×1，单位为 us 范围{0,511}us，默认 256us
	FSM_SELO	7	0	R/W	1：GPO0 由 FSM 赋值 0：GPO0 由 GPO0_REG 赋值
	FSM_SEL1	6	0	R/W	1：GPO1 由 FSM-EN_RX 赋值 (外部 LNA) 0：GPO1 由 GPO1_REG 赋值
	FSM_SEL2	5	0	R/W	1：GPO2 由 FSM-EN_PA_OUT 赋值（外部 PA） 0：GPO3 由 GPO2_REG 赋值
	GPO0_REG	4	0	R/W	1：GPO0 输出 1 0：GPO0 输出 0
	GPO1_REG	3	0	R/W	1：GPO1 输出 1 0：GPO1 输出 0
	GPO2_REG	2	0	R/W	1：GPO2 输出 1 0：GPO2 输出 0
	Inverter_cal	1	1	R/W	1：接收数据取反 0：接收数据不取反
	DAC_MODE	0	0	R/W	dac_out[5:0] 是否需要取反输出，dac_out[5:0]为 DAC 数据输入端 1:dac_out[5:0]<= [0:5] 0:dac_out[5:0]<= [5:0]

注 1：芯片上电复位后的所有寄存器（包括读/写在内）的初始值如表格中所述。

当访问多字节寄存器/地址/数据时，读/写顺序为低字节在前高字节在后。单个字节内部高 bit 在前低 bit 在后。

10 数据包格式描述

10.1 普通模式的数据包形式

普通模式的数据包格式如表10.1所示，组帧方式 I。

表10.1 普通模式的数据包形式

前导码 (3字节)	地址 (3~5字节)	数据 (1~32/64字节)	CRC校验 (0/2字节)
--------------	---------------	-------------------	------------------

表 10.1 中地址和数据部分可以选择扰码方式，根据使能/关闭扰码配置位。

10.2 增强模式的数据包形式

增强模式的数据包格式如表 10.2 所示，组帧方式 II。

表10.2 增强模式的数据包形式

前导码 (3字节)	地址 (3~5字节)	标识 (10bit)			数据 (0~32/64字节)	CRC校验 (0/2字节)
		数据长度标识 (7bit)	PID标识 (2bit)	NO_ACK标识 (1bit)		

表 10.2 中地址、标识和数据部分可以选择扰码方式，根据使能/关闭扰码配置位。

10.3 增强模式的 ACK 包形式

增强模式的 ACK 包格式如表 10.3 所示，组帧方式 III。

表10.3 增强模式的数据包形式

前导码 (3字节)	地址 (3~5字节)	标识 (10bit)			CRC校验 (0/2字节)
		数据长度标识 (7bit)	PID标识 (2bit)	NO_ACK标识 (1bit)	

表 10.3 中地址和标识部分需要选择与 PTX 相同的使能/关闭扰码方式。

11 典型应用电路（参考）

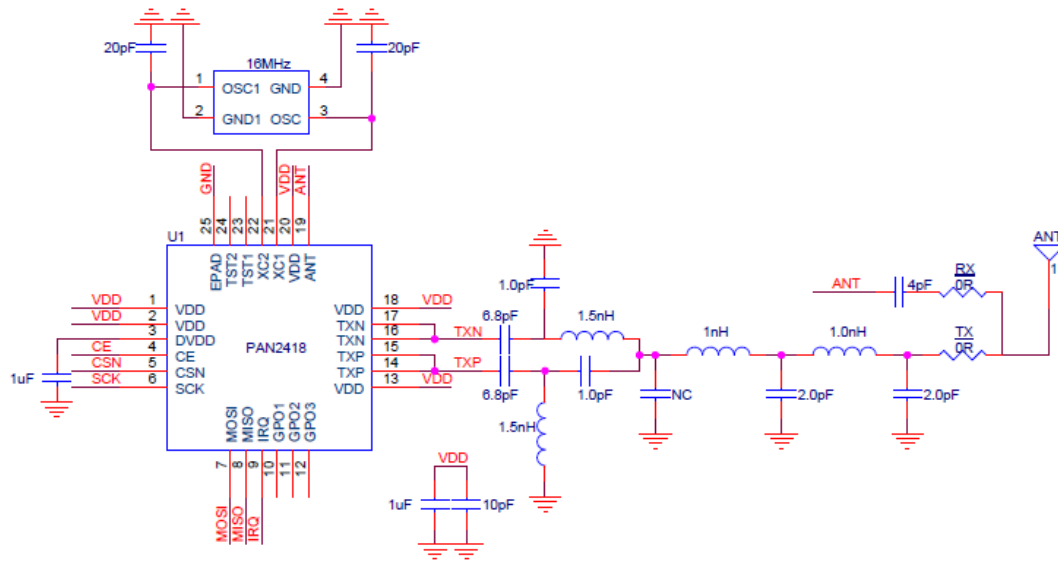


图11 PAN2418CU的应用电路

*注 1: 芯片的 NC 引脚可以悬空；

*注 2: 该匹配是按照 TX 和 RX 分开来推荐的，通过 ANT 相连的电阻来选择 TX 或者 RX。

12 封装尺寸

封装环保等级Green和RoHS两种可选，回流焊推荐温度不超过260°，波峰焊推荐温度不超过240°。

13 联系方式

上海磐启微电子

地址：上海市张江高科技园区盛夏路666号E栋802室

电话：+86-021-50802372

苏州磐启微电子

地址：苏州工业园区东平街282号汉嘉大厦3002室

电话：+86-0512-80968880

磐启微电子（深圳）

地址：深圳南山区科技路11号桑达科技园伟杰大厦106室

电话：+86-0755-26403799

www.panchip.com